

УДК \_\_\_\_\_

Группа \_\_\_\_\_

## ОТРАСЛЕВОЙ СТАНДАРТ

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ

ОСТ II

СЕРИИ I806 (Н I806 ВМ2).

РУКОВОДСТВО ПО ПРИМЕНЕНИЮ

ОКП

Дата введения \_\_\_\_\_

Настоящий стандарт распространяется на интегральные микропроцессорные микросхемы I806 ВМ2 и Н I806 ВМ2 (далее по тексту микросхемы), содержит общие сведения о микросхемах, типовые характеристики, описание принципа работы, указания по применению и монтажу.

Стандарт применяется совместно с ОСТ II 073.040-82 и устанавливает правила применения и эксплуатации микросхем при разработке различных микропроцессорных средств вычислительной техники в режимах и условиях, указанных в технических условиях (ТУ).

Термины, определения и буквенные обозначения электрических параметров, применяемые в настоящем стандарте, приводятся в соответствии с ГОСТ 19480-74.

### I. ОБЩИЕ ПОЛОЖЕНИЯ

I.1. Микросхемы I806 ВМ2 (Н I806 ВМ2) представляют собой однокристалльный 16-ти разрядный микропроцессор (далее по тексту ПРЦ), предназначенный для обработки цифровой информации.

5/

160433  
14 04 87



## ОСТ II

В составе ЭВМ ПРЦ может использоваться для управления технологическими процессами, в контрольно-измерительной аппаратуре, в системах связи, для решения инженерно-технических и экономических задач.

1.2. Типы микросхем, на которые распространяется настоящий стандарт и их функциональное назначение, приведены в табл. I.

Таблица I

Типы и функциональные назначения микросхем

Обозначение типа (типоно- минала) мик- росхем	Основное функциональ- ное назначение	Тип корпуса	Обозначение технических условий
1806 BM2 Н 1806 BM2	16-ти разрядный одно- кристалльный микропро- цессор	Н 18.64-2В 4138.42-5.03	ОКО.347.456 ТУ

1.3. Микросхемы разработаны в климатическом исполнении УХЛ по ГОСТ В 20.39.404-81. ПРЦ выполнен КМОП-технологии с поликремниевыми затворами. Кристалл помещен в 64 выводной металлокерамический микрокорпус.

Условное графическое обозначение представлено на черт. I, 2. Обозначение и наименование выводов приведено в табл. 2.

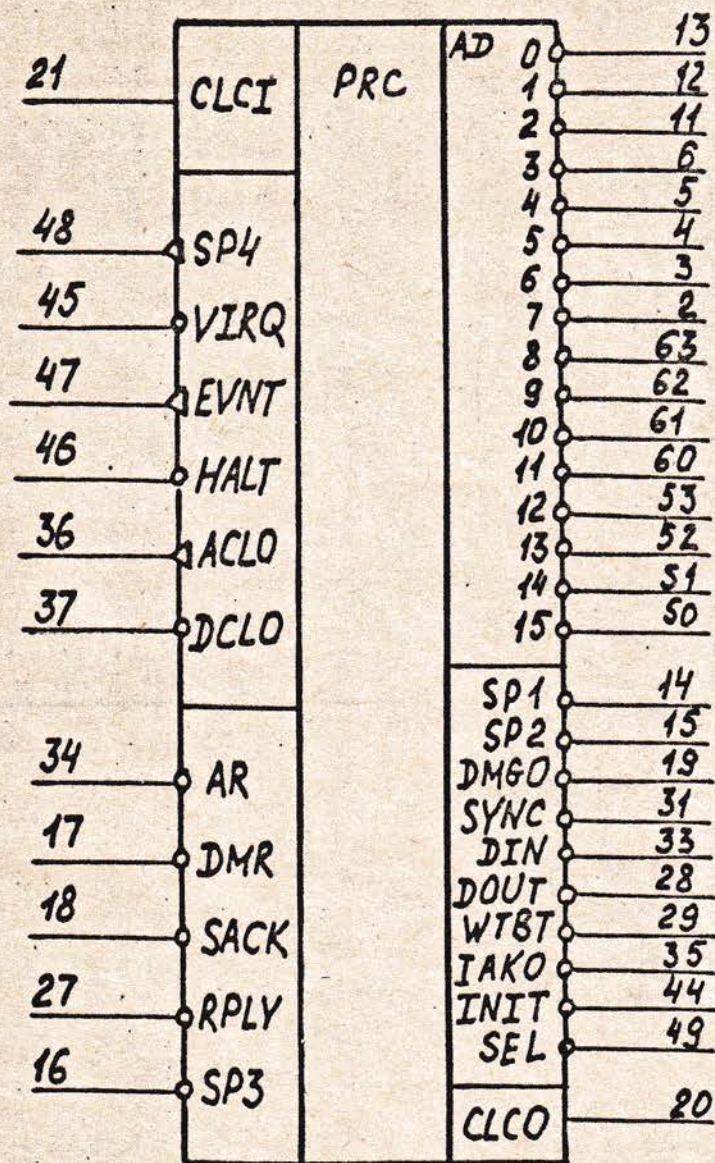
Таблица 2

Обозначение и наименование выводов

Обозначение	Тип вывода	Наименование
0V <u>AD7</u>	- вход/выход	Общий Седьмого разряда адреса данных систем- ной магистрали
<u>AD6</u>	вход/выход	Шестого разряда адреса-данных системной магистрали



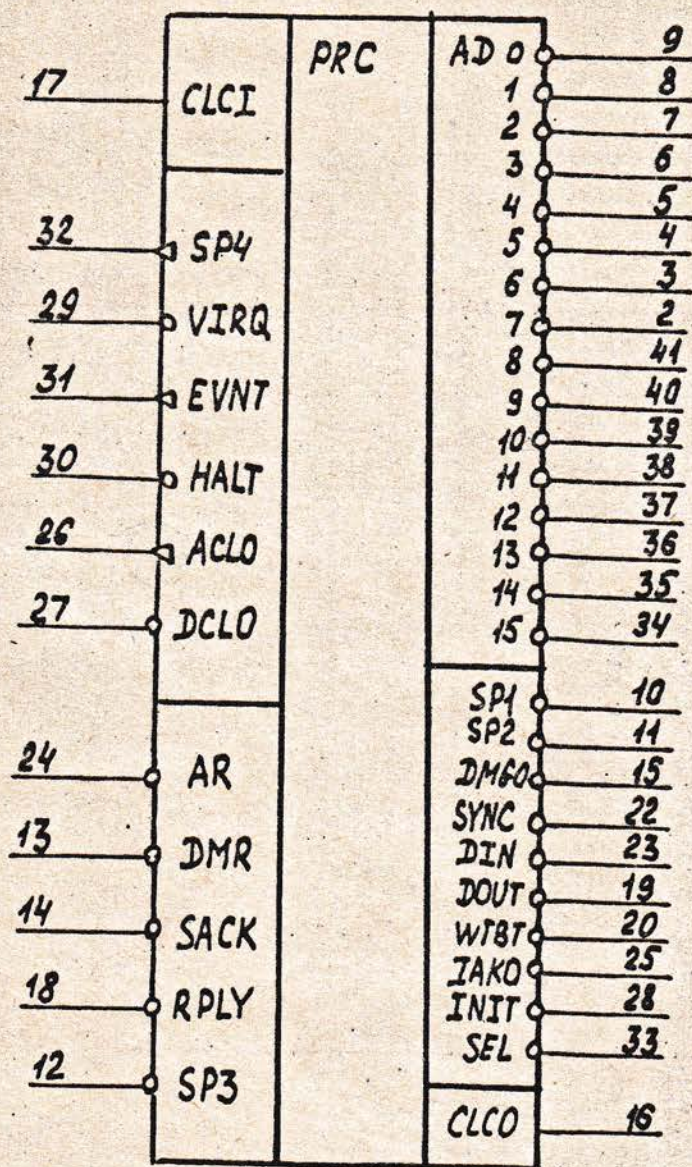
Микросхема 1806ВМ2  
Условное графическое обозначение



Черт. 1



Микросхема H1806BM2  
Условное графическое обозначение



Черт. 2



Обозначение	Тип вывода	Наименование
$\overline{AD5}$	вход/выход	Пятого разряда адреса-данных систем- ной магистрали
$\overline{AD4}$	вход/выход	Четвертого разряда адреса-данных системной магистрали
$\overline{AD3}$	вход/выход	Третьего разряда адреса-данных си- стемной магистрали
$\overline{AD2}$	вход/выход	Второго разряда адреса-данных систем- ной магистрали
$\overline{AD1}$	вход/выход	Первого разряда адреса-данных систем- ной магистрали
$\overline{AD0}$	вход/выход	Нулевого разряда адреса-данных систем- ной магистрали
$\overline{SP1}$	выход	Резервный
$\overline{SP2}$	выход	Резервный
$\overline{SP3}$	вход	Резервный
$\overline{DMR}$	вход	Сигнала "Запрос на прямой доступ к памяти"
$\overline{SACK}$	вход	Сигнала "Подтверждение разрешения пря- мого доступа к памяти"
$\overline{DMGD}$	выход	Сигнала "Разрешение на прямой доступ к памяти"
$\overline{CLCO}$	выход	Тактового импульса
$\overline{CLCI}$	вход	Тактового импульса
—	—	Вывод питания от источника напряжения
—	—	Не используется
—	—	Не используется
—	—	Не используется
—	—	Не используется



Обозначение	Тип вывода	Наименование
$\overline{RPLY}$	вход	Сигнала "Ответ внешнего устройства"
$\overline{DOVT}$	выход	Сигнала "Вывод данных"
$\overline{WTBT}$	выход	Сигнала "Управление запись-байт"
$\overline{SYNC}$	выход	Сигнала "Синхронизация обмена"
$\overline{DIN}$	выход	Сигнала "Ввод данных"
$\overline{AR}$	вход	Сигнала "Адрес принят"
$\overline{IAKO}$	выход-	Сигнала "Разрешение прерывания"
$\overline{ACLO}$	вход	Сигнала "Авария сетевого питания"
$\overline{DCLO}$	вход	Сигнала "Авария источника питания"
-	-	Не используется
-	-	Не используется
-	-	Не используется
-	-	Не используется
$\overline{INIT}$	выход	Сигнала "Установка внешних устройств"
$\overline{VIRQ}$	вход	Сигнала "Запрос на векторное прерывание"
$\overline{HALT}$	вход	Сигнала "Переход в пультовый режим"
$\overline{EVNT}$	вход	Сигнала "Прерывание от таймера"
$\overline{SP4}$	вход	Сигнала "Запрос на радиальное прерывание"
$\overline{SEL}$	выход	Сигнала "Обращение к системной памяти-чтение порта"
$\overline{AD15}$	вход/выход	Пятнадцатого разряда адреса-данных системной магистрали
$\overline{AD14}$	вход/выход	Четырнадцатого разряда адреса-данных системной магистрали
$\overline{AD13}$	вход/выход	Тринадцатого разряда адреса - данных системной магистрали



Обозначение	Тип вывода	Наименование
$\overline{AD11}$	вход/выход	Одиннадцатого разряда адреса - данных системной магистрали
$\overline{AD10}$	вход/выход	Десятого разряда адреса-данных системной магистрали
$\overline{AD9}$	вход/выход	Девятого разряда адреса-данных системной магистрали
$\overline{AD8}$	вход/выход	Восьмого разряда адреса-данных системной магистрали
$U$	—	Вывод питания от источника напряжения

П р и м е ч а н и е. Черта над обозначением означает низкий активный уровень сигнала на выводе.

#### 1.4. Назначение выводов

"  $\overline{AD}$  (0-15)"

16 входов (выходов) совмещенной по адресам и данным системной магистрали. Предназначены для передачи и приема адресов и данных. Совмещение использования одних и тех же выводов для передачи адресов и данных достигается разделением во времени. Низкий уровень сигнала на этих выводах свидетельствует о передаче логической единицы.

"  $\overline{SP1}$  " ( $\overline{WRQ1}$ ), "  $\overline{SP2}$  " ( $\overline{WRQ2}$ )

Выходы сигналов запроса на захват магистралей, "видимых" через окно. "Окно" - это специальная область памяти, которая предназначена для связи вычислителя с объектами на дополнительной магистрали. Микросхема имеет два вывода запроса на захват магистрали, поэтому, кроме основной прямоадресуемой магистрали, ПРЦ может работать еще с двумя дополнительными магистралями, что позволит организовать многопроцессорную систему. Низкий уровень сигнала на



8

этих выводах свидетельствует о наличии разрешения запроса на захват магистрали, "видимой" через окно.

"  $\overline{SP3}$ " (  $\overline{WACK}$  )

Вход сигнала разрешения на захват магистрали через окно. В ответ на получение сигнала  $\overline{WRQ1}$  или  $\overline{WRQ2}$  схема управления окном выставляет сигнал  $\overline{WACK}$  (низкий уровень), сообщая, что ПРЦ может начать обмен по дополнительной магистрали.

"  $\overline{DMR}$  "

Вход сигнала запроса на прямой доступ к памяти. Этот сигнал (низкий уровень) внешнее устройство на системной магистрали выставляет, сообщая о необходимости прямого доступа к памяти.

"  $\overline{SACK}$  "

Вход сигнала подтверждения разрешения на прямой доступ. Этот сигнал (низкий уровень) устройство, запросившее разрешение на прямой доступ к памяти, выставляет после получения сигнала разрешения на прямой доступ, сообщая о передаче управления по этому устройству.

"  $\overline{DMG0}$  "

Выход сигнала разрешения на прямой доступ. Этот сигнал (низкий уровень) ПРЦ выставляет в ответ на получение сигнала  $\overline{DMR}$ , сообщая о разрешении прямого доступа к памяти.

"  $\overline{CLCO}$  "

Выход внутренней тактовой частоты микросхемы. Служит для синхронизации устройств, работающих с ПРЦ. Частота импульсов  $\overline{CLCO}$  равна частоте импульсов  $\overline{CLCI}$ . Фазы этих сигналов совпадают.

"  $\overline{CLCI}$  "

Вход тактового импульсного сигнала. Этот сигнал используется для синхронизации работы внутренних устройств ПРЦ. Микросхема состоит из устройств статического типа. Поэтому период тактовой частоты может быть от 0 до 5 МГц.

"  $\overline{RPLY}$  "

Вход сигнала ответа ведомого устройства при обмене. Ведомое устройство выставляет этот сигнал при обменах по системной магистра-



ли, сообщая ведущему устройству о принятии или выдачи информации на системную магистраль.

" DOUT "

Выход сигнала сопровождения записи при процедуре обмена по системной магистрали. Выставляя на этом выводе низкий уровень сигнала, ПРЦ сообщает ведомому устройству о выдаче данных на системную магистраль.

" WTBT "

Выход информационного комбинированного сигнала "запись-байт". Во время выдачи адреса в цикле процедуры обмена по системной магистрали низкий уровень сигнала на этом выводе свидетельствует о существовании процедуры записи. Во время выдачи данных низкий уровень сигнала на этом выводе свидетельствует о выставлении процессором на магистрали байта, а не слова.

" SYNC "

Выход сигнала синхронизации обмена. Выставляя низкий уровень сигнала на этом выводе, ПРЦ сообщает ведомому устройству о выдаче адреса на системную магистраль.

" DIN "

Выход сигнала сопровождения процедуры чтения данных. Выставляя низкий уровень сигнала на этом выводе ПРЦ сообщает ведомому устройству о готовности к приему данных с системной магистрали.

" AR "

Вход сигнала "Адрес принят". После выдачи адреса на системную магистраль и сигнала SYNC ПРЦ ожидает появление сигнала AR. Низкий уровень сигнала на этом выводе свидетельствует о принятии ведомым устройством адреса. ПРЦ может продолжать процедуру обмена.

" IACK "

Выход сигнала разрешения прерывания. Низкий уровень сигнала на этом выводе свидетельствует о разрешении ПРЦ устройству, выставившему запрос на прерывание, выдачи вектора прерывания на системную магистраль.



ACLO

Вход сигнала аварии сетевого питания. Переход сигнала из высокого в низкий уровень на этом выводе вызывает прерывание программы ПРЦ и переход на подпрограмму обработки прерываний по сбоям питания.

Появление высокого уровня этого сигнала свидетельствует о нормальном состоянии сетевого питания и вызывает переход к выполнению микропрограммного пуска.

" DCLO "

Вход сигнала аварии источника питания. Низкий уровень сигнала на этом выводе вызывает установку в начальное состояние всех блоков микросхемы и появление сигнала "установка" на выводе INIT.

" INIT "

Выход сигнала "установка". Этот сигнал используется для установки периферийной части системы в начальное состояние, он повторяет сигнал DCLO.

" VIRQ "

Вход сигнала запроса на векторное прерывание. При появлении на этом выводе низкого уровня сигнала ПРЦ, если прерывание разрешено, выдает сигналы DIN и IAKO.

" HALT "

Вход сигнала перехода в пультовый режим. Появление низкого уровня сигнала на этом выводе вызывает переход к программе пультового режима, находящейся в ПЗУ.

" EVNT "

Вход сигнала запроса прерывания от таймера. Переход сигнала на этом выводе из высокого в низкий уровень свидетельствует о выставлении таймером запроса на прерывание.



" $\overline{SP4}$ " ( $\overline{WIR}$ )

Вход сигнала запроса радиального прерывания.

" $\overline{SEL}$ "

Выход сигнала обращения к системной области памяти или чтения порта (регистра начальных условий). Появление этого сигнала (низкий уровень) в фазе выдачи адреса свидетельствует о том, что обмен идет не с основной, а с дополнительной (системной) памятью.

Появление этого сигнала в фазе чтения одновременно с сигналом  $\overline{DIN}$  (низкий уровень) свидетельствует о выполнении ПРЦ процедуры чтения регистра начальных условий.

I.5. Номинальное значение напряжения питания микросхем  $U_{cc}=50В$ .

Допустимое отклонение напряжения питания от номинального  $\pm 10\%$ .

I.6. Микросхемы следует применять в режимах и условиях эксплуатации, установленных в ТУ и в настоящем стандарте.

При необходимости применение микросхем в режимах и условиях, не оговоренных вышеуказанными документами, потребитель обязан согласовать применение микросхем в соответствии с ОСТ II 000.009-82.

I.7. При комплектации аппаратуры недопустим подбор микросхем по отдельным параметрам, характеристикам, дате и месту изготовления.

Аппаратура должна быть сконструирована так, чтобы её нормальная работа сохранилась при установке в неё любой микросхемы данного типа.

I.8. При разработке аппаратуры следует учитывать изменение отдельных параметров микросхем в процессе их эксплуатации. Изменение параметров микросхем в пределах норм ТУ не должно нарушать работоспособность аппаратуры.

I.9. В разрабатываемой или модернизированной аппаратуре следует использовать микросхемы, включенные в перечни разрешенных для применения в соответствующей аппаратуре, а также микросхемы, специально разработанные для данной аппаратуры.



1.10. При расчете надежности аппаратуры необходимо пользоваться данными о надежности микросхем, приведенными в ТУ. Надежность микросхем в аппаратуре обеспечивается правильным подбором электрических режимов их применения.

## 2. ПАРАМЕТРЫ И ХАРАКТЕРИСТИКИ

### 2.1. Основные технические данные микросхем

Система счисления для чисел и команд — двоичная. Разрядность для чисел и команд — 16 двоичных разрядов. Система команд — безадресная, одноадресная, двухадресная.

Виды адресации:

регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная, автодекрементная, косвенно-автодекрементная, индексная, косвенно-индексная.

Число регистров общего назначения — 8.

Количество каналов передачи информации — 1.

Количество уровней запроса прерывания — 2.

Обработка внешних и внутренних прерываний выполняется с помощью памяти магазинного типа (стека).

Количество команд — 77.

Объем адресуемой памяти — 64 К байт.

Тактовая частота 0,5 МГц.

Время выполнения команды типа "сложение" при регистровом методе адресации на тактовой частоте 5 МГц — 1,2 мкс.

Время выполнения команды "умножение" на тактовой частоте 5 МГц при регистровом методе адресации — 17,6 мкс.

Время выполнения команды "деление" на тактовой частоте 5 МГц при регистровом методе адресации — 24,8 мкс.



Процессор способен выполнять команды в пошаговом режиме.

Предельные значения электрических параметров в диапазоне температур от минус 60 до 125°C. Максимальное напряжение источника питания  $U_{cc} = +6$  В.

Максимальное входное напряжение  $U_{imax}$  не более  $U_{cc}$  ;

Минимальное входное напряжение  $U_{imin}$  не менее 0В;

Емкость нагрузки - не более 150 пФ.

2.2. Основные электрические параметры микросхемы приведены в табл.3.

Таблица 3

Основные электрические параметры

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура, °C
		не менее	не более	
Выходное напряжение низкого уровня, В	$U_{OL}$	-	0,5	от -60 до 125
Выходное напряжение высокого уровня, В	$U_{OH}$	4,0	-	от -60 до 125
Ток потребления, мА	$I_{cc}$	-	5,0 10,0	от -60 до 125
Динамический ток потребления, мА	$I_{cco}$	-	80	от -60 до 125
Ток утечки на входе, мкА	$I_{LI}$	-	1,0 10,0	-25±10 от -60 до 125
Ток утечки на выходе, мкА	$I_{LO}$	-	5,0 50,0	-25±10 от -60 до 125
Максимальная тактовая частота, МГц	$f_{c max}$	5	-	от -60 до 125



Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура, °C
		не менее	не более	
Время выполнения команды "сложение" (при регистро- вом методе адресации в со- ставе ЭВМ с временем обме- на между процессором и ОЗУ менее 200 мс на максималь- ной тактовой частоте $f_{c \max}$ ), мкс	$t_{ADD}$	-	1,2	от -60 до 125
Время выполнения команды "умножение" (при регистро- вом методе адресации на максимальной тактовой ча- стоте $f_{c \max}$ ), мкс	$t_{MPL}$	-	17,6	от -60 до 125
Время выполнения команды "деление" (при регистро- вом методе адресации на максимальной тактовой ча- стоте $f_{c \max}$ ), мкс	$t_{DIV}$	-	24,8	от -60 до 125
Время задержки включения сигнала $CLCO$ относитель- но сигнала $CLCI$ , нс	$t_{DHL}(CLCI-CLCO)$	-	60	от -60 до 125
Время задержки включения сигнала $CLCO$ относитель- но сигнала $CLCI$ , нс	$t_{DLH}(CLCI-CLCO)$	-	60	от -60 до 125
Время задержки включения сигнала $DIN$ относитель- но сигнала $CLCO$ , нс	$t_{DHL}(CLCO-DIN)$	-	50	от -60 до 125



Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура, °C
		не менее	не более	
Время задержки выключения сигнала <i>DIN</i> относительно сигнала <i>CLCO</i> , нс	$t_{DLH}(CLCO-DIN)$	-	50	от -60 до +125
Время задержки включения сигнала <i>SEL</i> относительно сигнала <i>CLCO</i> , нс	$t_{DHL}(CLCO-SEL)$	-	50	от -60 до +125
Время задержки выключения сигнала <i>SEL</i> относительно сигнала <i>CLCO</i> , нс	$t_{DLH}(CLCO-SEL)$	-	60	от -60 до +125
Время задержки включения сигнала <i>AD</i> относительно сигнала <i>CLCO</i> , нс	$t_{DHL}(CLCO-AD)$	-	80	от -60 до +125
Время задержки выключения сигнала <i>AD</i> относительно сигнала <i>AR</i> , нс	$t_{DLH}(AR-AD)$	-	100	от -60 до +125
Время задержки включения сигнала <i>SYNC</i> относительно сигнала <i>CLCO</i> , нс	$t_{DHL}(CLCO-SYNC)$	-	40	от -60 до +125
Время задержки выключения сигнала <i>SYNC</i> относительно сигнала <i>CLCO</i> , нс	$t_{DLH}(CLCO-SYNC)$	-	40	от -60 до +125
Время задержки включения сигнала <i>WTBT</i> относительно сигнала <i>CLCO</i> , нс	$t_{DHL}(CLCO-WTBT)$	-	60	от -60 до +125
Время задержки выключения сигнала <i>WTBT</i> относитель- но сигнала <i>AR</i> , нс	$t_{DLH}(AR-WTBT)$	-	80	от -60 до +125



Продолжение табл.3

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура, °C
		не менее	не более	
Время задержки включения сигнала <i>DOUT</i> относительно сигнала <i>CLCO</i> , нс	$t_{DHL}(CLCO-DOUT)$	-	40	от -60 до 125
Время задержки выключения сигнала <i>DOUT</i> относительно сигнала <i>CLCO</i> , нс	$t_{DLH}(CLCO-DOUT)$	-	50	от -60 до 125
Время задержки включения сигнала <i>IACO</i> относительно сигнала <i>CLCO</i> , нс	$t_{DHL}(CLCO-IACO)$	-	40	от -60 до 125
Время задержки выключения сигнала <i>IACO</i> относительно сигнала <i>CLCO</i> , нс	$t_{DLH}(CLCO-IACO)$	-	50	от -60 до 125
Входная емкость, пФ	<i>CI</i>	-	15	25±10
Выходная емкость, пФ	<i>CO</i>	-	15	25±10
Емкость входа (выхода)	<i>CI (CO)</i>	-	15	25±10



2.3. Электрическая структурная схема ПРЦ представлена на черт.3  
ПРЦ состоит из следующих блоков:

- операционный блок (ОБ);
- блок микропрограммного управления (БМУ);
- блок расширенной арифметики (БРА);
- блок прерываний (БПР);
- блок обработки условий ветвления (БОВ);
- интерфейсный блок (ИБ).

По внутренней магистрали адреса-данных на ОБ поступают данные и команды, на БОВ и БМУ — команды. На эту же магистраль ОБ выдает адреса операндов. Через согласующие элементы внутренняя магистраль связана с выводами АД и через них с системной магистралью. БМУ выдает код микрокоманды на шину микрокоманд. С шины микрокоманд соответствующие поля микрокоманды поступают на все блоки ПРЦ, кроме БОВ. Все блоки ПРЦ связаны между собой синхронными и асинхронными управляющими сигналами. Ведущим является ОБ. Блок синхронизации ОБ отслеживает непосредственно или косвенно состояние всех групп блоков и задает цикл выполнения микрокоманд, составляющих команду.

#### 2.3.1. О п е р а ц и о н н ы й   б л о к   ( О Б )

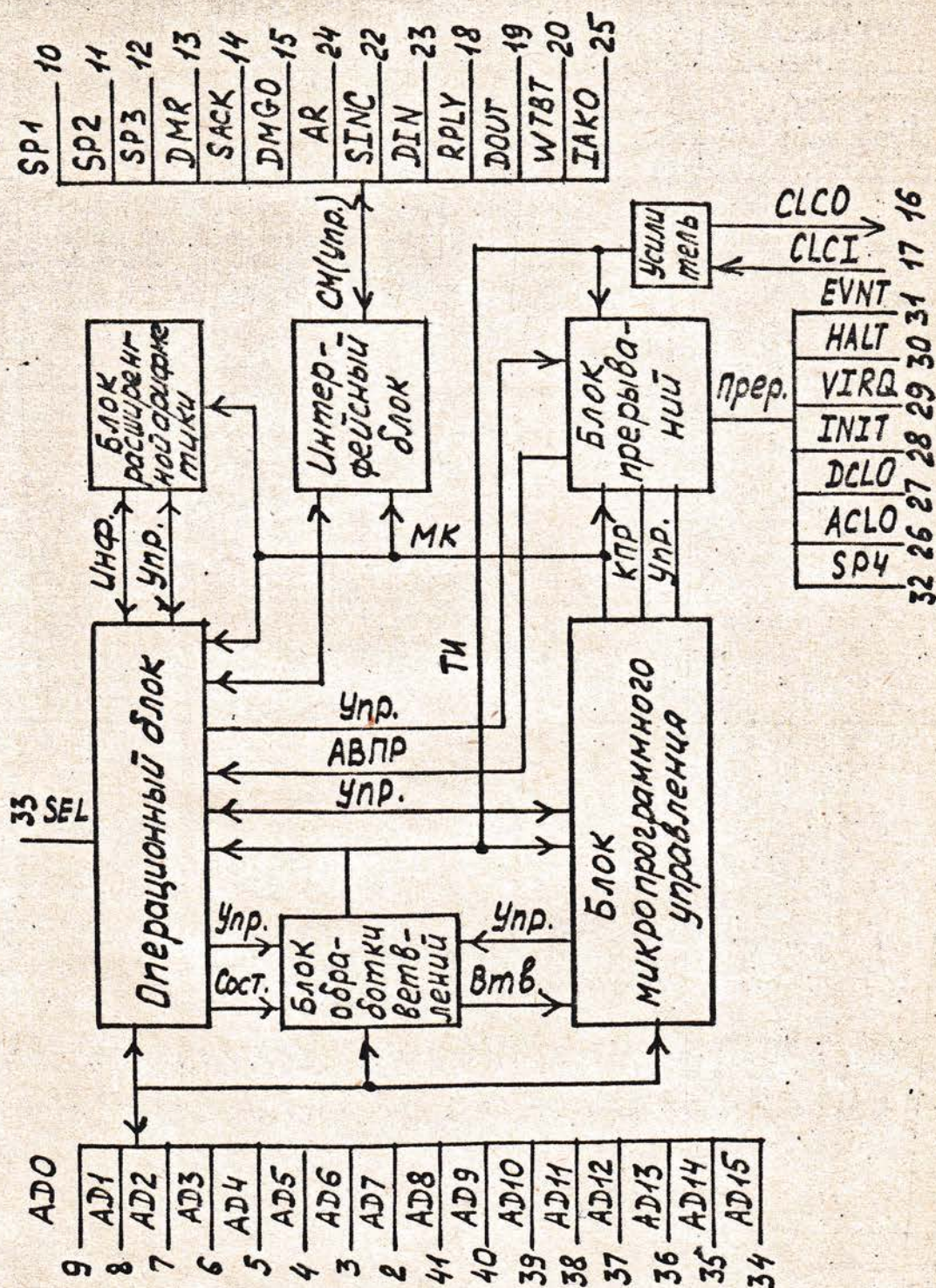
Электрическая структурная схема ОБ представлена на черт. 4

ОБ предназначен для выполнения следующих функций:

- вычисление адреса и его временное хранение в регистре адреса;
- прием данных и их хранение в регистрах;
- выполнение арифметических и логических операций между регистрами и между регистрами и константами;
- выдача данных в системную магистраль;
- формирование адресов векторов прерывания;
- формирование состояний.



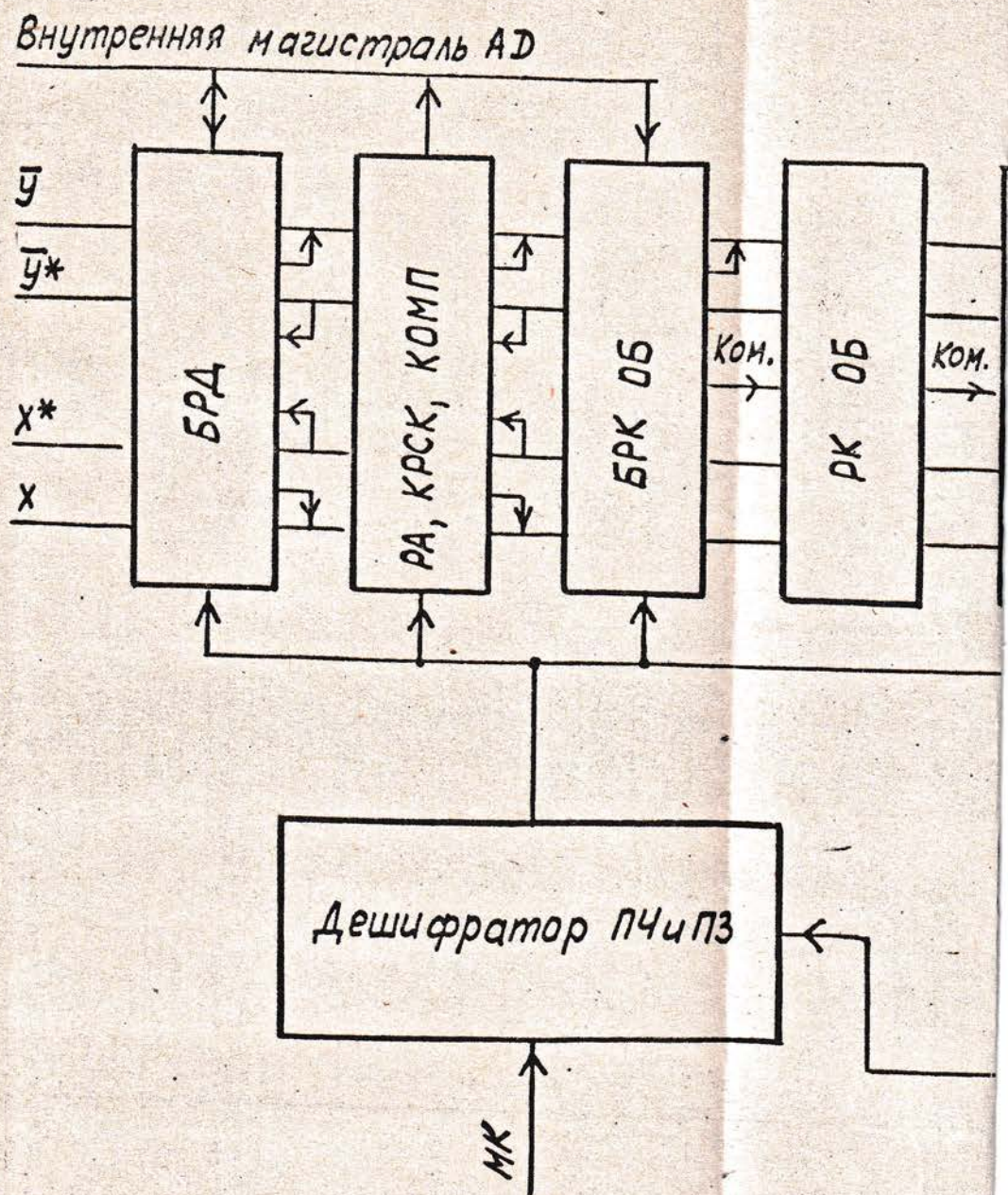
# Микропроцессор Схема электрическая структурная



Черт. 3



# Операционный бл Схема электрическая с

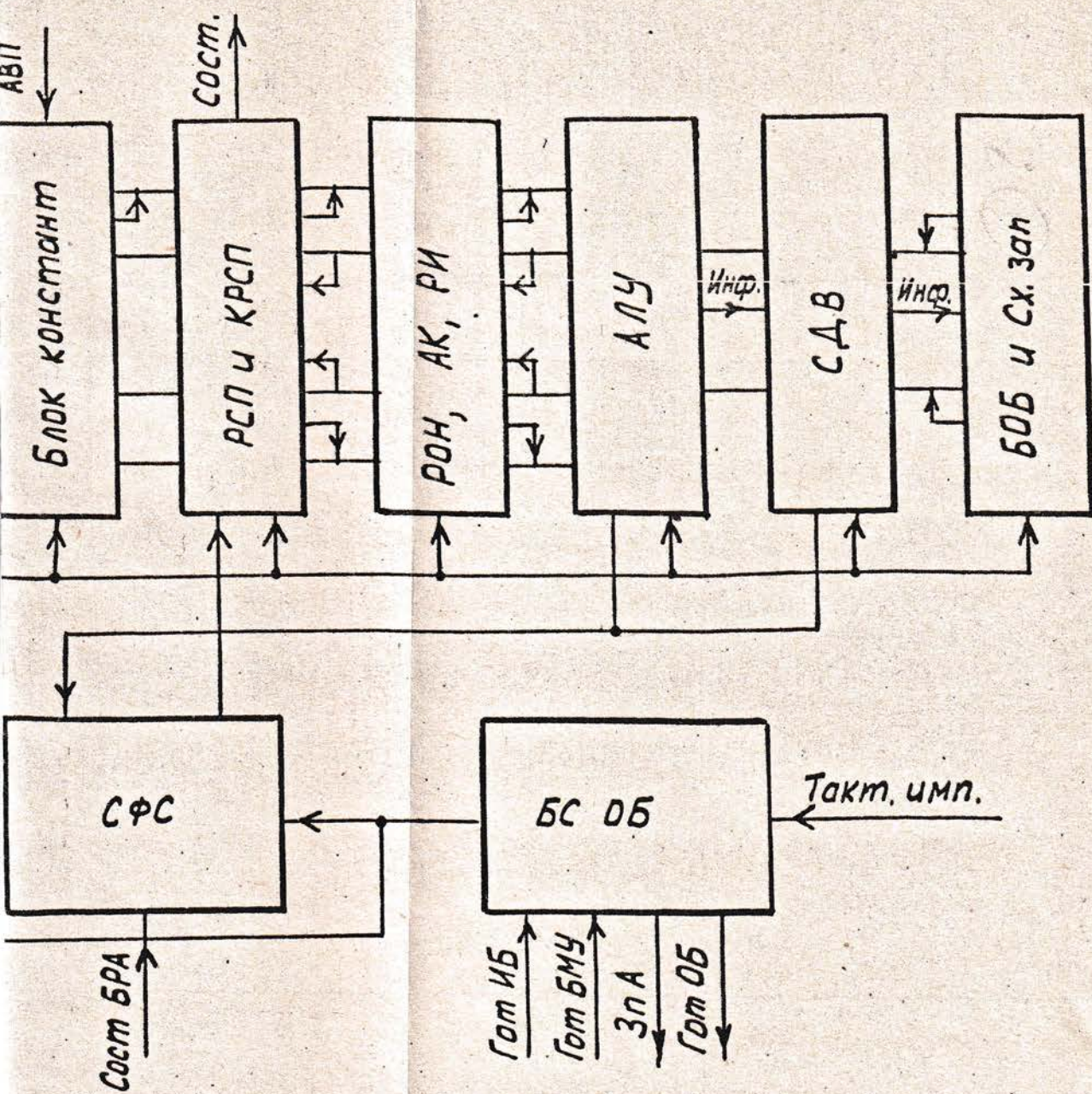


Черт



ок

структурная





В состав ОБ входят:

буферный регистр данных (БРД);

регистр адреса, регистр копии счетчика команд и компаратор адресов (РА, КРСК, КЛМП);

буферный регистр команд ОБ (БРК ОБ);

регистр команд ОБ (РК ОБ);

блок констант;

регистр состояния процессора, регистр копии состояния процессора (РСП, КРСП);

регистры общего назначения, аккумулятор и регистр источника (РОНа, АК, РИ);

16-ти разрядное арифметико-логическое устройство (АЛУ);

сдвигатель (СДВ);

блок обмена байтов и схема записи (БООБ и СхЗп).

В БРД принимаются данные из внешнего ЗУ. При записи во внешнее ЗУ в БРД данные подготавливаются для передачи.

В регистре адреса (РА) записывается сформированный адрес для передачи его в системную магистраль при обменах. Поскольку в ПРЦ происходит прием команд с опережением, то к концу выполнения текущей команды следующая команда уже принята на БРК, т.к. эту команду уже невозможно программно модифицировать. Для обеспечения возможности записи по адресу следующего за командой слова введен регистр копии счетчика команд (КРСК) и компаратор (КЛМП). В КРСК хранится адрес следующего за командой слова, т.е.  $СК+2$ . Перед циклом записи адрес на РА сравнивается компаратором с содержимым КРСК и, в случае равенства, после окончания записи происходит чтение команды по адресу, хранящемуся в КРСК, т.е. происходит повторный прием следующей команды. Ранее принятая следующая команда не выполняется. Процедура повторного чтения осуществляется аппаратно-микропрограммно.



В некоторых командах для вычисления адреса используется младший байт команды. Для его приема используются регистры БРК ОБ и РК ОБ. Младший байт исполняемой команды хранится в РК ОБ. Блок констант служит для формирования констант, необходимых при выполнении некоторых операций, и для формирования векторов прерываний. Блок констант представляет собой ПЗУ, адреса ячеек которого находятся в специальном поле микрокоманды. Код смещения команды читается также по адресу константы. Для этого код младшего байта команды поступает на блок констант. Для выборки векторов прерывания адрес вектора прерывания, выработанный в блоке прерываний, также поступает на блок констант.

Регистр состояния процессора и регистр копии регистра состояния служит для хранения признаков (состояний), вырабатываемых в процессе выполнения операций в ПРЦ. Формат регистра состояний и назначение отдельных разрядов будут описаны при описании работы процессора. В регистре копии регистра состояний сохраняется содержимое РСН при обработке некоторых прерываний. В ОБ имеются десять регистров, которые используются для промежуточного хранения информации. Восемь из них — это регистры общего назначения (РОН). РОН с адресом 07 используется как счетчик команд, а РОН с адресом 06 используется как указатель стека. Эти регистры для хранения данных использовать нельзя. В блок регистров входят еще аккумулятор и регистр источника. Регистр-аккумулятор используется для промежуточного хранения информации при выполнении некоторых команд, а регистр источника используется для хранения операнда-источника при выполнении двухадресных команд. РОНЫ доступны программно, аккумулятор и регистр источника доступны только микропрограммно.

Все арифметические и логические операции над операндами выполняются в 16-ти разрядном арифметико-логическом устройстве (АЛУ). АЛУ может обрабатывать как 16-ти разрядные слова, так и 8-ми разрядные байты. АЛУ имеет схему ускорения переноса, благодаря которой перенос



27  
может распространяться последовательно не более, чем через три разряда.

Из АЛУ результат операции поступает на сдвигатель (СДВ), где в командах сдвига происходит сдвиг операнда на один разряд влево или вправо и содержится логика формирования арифметического или циклического сдвига. Может осуществляться сдвиг или 16-ти разрядного слова, или 8-ми разрядного байта. После сдвигателя получается окончательный результат операции, который записывается в специальный регистр. Записью в этот регистр заканчивается фаза чтения цикла выполнения микрокоманды.

В цикле записи выполнения микрокоманды информация с регистра, на котором хранится результат операции, поступает через блок обмена байтов (БОВ) на схему записи (СхЗп). В БОВ меняются местами старший и младший байт операнда при выполнении команды **SWAB**. БОВ также используется при выдаче старшего байта в байтовых командах. Все блоки и регистры ОБ связаны двумя шинами: шиной чтения  $x, \bar{y}$  и шиной записи  $x^*, \bar{y}^*$ . В фазе чтения информация читается на шину  $x$  или  $\bar{y}$  в унарных операциях, или одновременно на  $x$  и  $\bar{y}$  с разных источников в бинарных операциях, и поступает на АЛУ. Схема записи выдает информацию на шины  $x^*, \bar{y}^*$ , откуда она поступает по адресу приемника. В связи с разделением шин чтения и записи совмещается дешифрация адреса чтения с циклом записи и адреса записи с циклом чтения, в связи с чем уменьшается цикл выполнения микрокоманды.

Кроме операционной части в ОБ входят также дешифратор микрокоманды, схема формирования состояния (СФС) и блок синхронизации ОБ (БС ОБ).

На дешифратор микрокоманды ОБ поступают те поля микрокоманды, которые связаны с выполнением операционной части микрокоманды, т.е. адреса операндов, режим записи и код операции. После дешифрации микрокоманды управляющие коды поступают на соответствующие блоки операционной части ОБ.



Схема формирования состояния (СФС) на основе сигналов, поступающих в АЛУ, сдвигателя и блока расширенной арифметики (БРА), формирует признаки результата операции  $N, Z, V, C$ , которые запоминаются в РСЦ и в дальнейшем используются в командах ветвления.

Работой ОБ управляет блок синхронизации ОБ (БС ОБ). БС ОБ осуществляет также синхронизацию всех остальных блоков ПРЦ. В БСОБ отслеживается готовность интерфейсного блока (ИБ) и блока микропрограммного управления (БМУ). Перед окончанием цикла выполнения текущей микрокоманды БСОБ формирует сигнал ГОТ ОБ, запускающий БМУ, в котором вырабатывается следующая микрокоманда. Интерфейсный блок запускается сигналом записи в РА ЗПА. Это сигнал свидетельствует о том, что адрес подготовлен для выдачи в системную магистраль.

### 2.3.2. Блок расширенной арифметики (БРА)

Электрическая структурная схема БРА представлена на черт. 5

БРА предназначена для аппаратной поддержки выполнения команд умножения, деления и параметрического сдвига ( $MPL, DIV, ASH, ASHC$ ). При выполнении указанных команд после приема операндов управление передается БРА. Для выполнения содержательной части команды используется одна микрокоманда, которая модифицируется по определенному алгоритму схемой управления БРА в процессе выполнения операции. После выполнения содержательной части операции при выполнении умножения и деления микрокоманда меняется и производится коррекция результата и формирование состояния.

В состав БРА входят:

регистр расширенной арифметики 1 (PRA1);

регистр расширенной арифметики 2 (PRA2);

счетчик тактов (СЧТ);

дешифратор тактов (ДШТ);

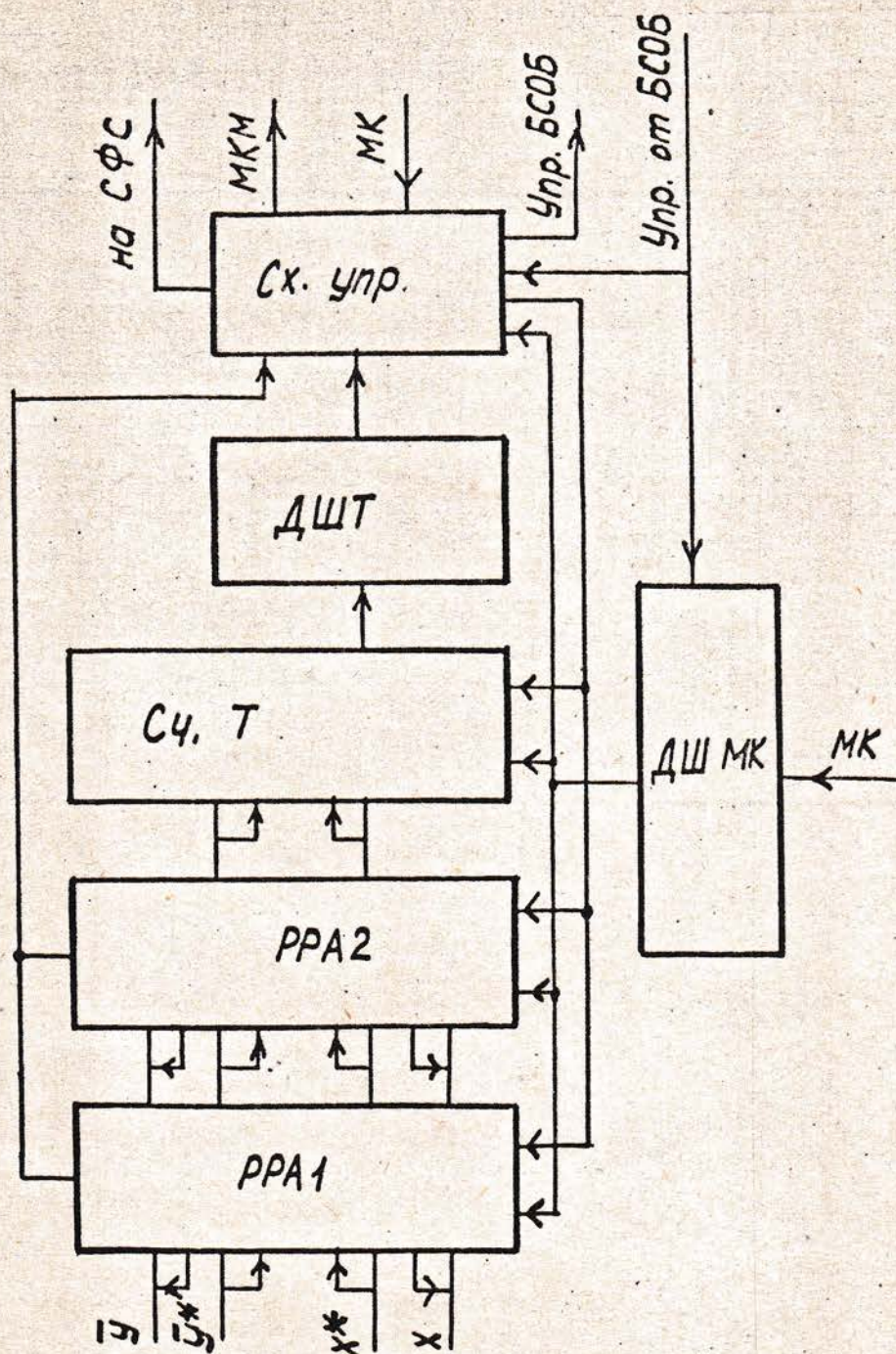
дешифратор микрокоманды (ДШ МК);

схема управления (СхУпр).



24

Блок расширенной арифметики  
Схема электрическая структурная



Черт. 5



Регистры PPA1 и PPA2 служат для хранения промежуточных результатов вычислений. Регистр PPA2 - сдвигающий; при выполнении операций он дополняет сдвигатель АЛУ. При выполнении умножения в PPA2 заносится множитель, а в PPA1 формируются частные произведения. В конце операции в PPA1 получается старшая часть произведения, а в PPA2 - младшая. При делении в PPA1 заносится старшая часть делимого, а в PPA2 - младшая. В конце операции в PPA2 формируется частное, а в PPA1 - остаток. При сдвигах сдвигаемое слово заносится в PPA1 или в PPA2 и PPA1, если сдвигается двойное слово.

Каждая команда РА выполняется за определенное количество тактов. Константа, определяющая количество тактов, заносится в счетчик тактов (СЧТ). Информация со счетчика тактов поступает на дешифратор тактов (ДШТ), а с него управляющие сигналы поступают на схему управления (СхУпр). СхУпр на основе кода команды и сигналов со СЧТ реализует алгоритм выполнения операционной части команды, коррекцию результата и формирование состояний.

Регистры PPA1, PPA2 и СЧТ доступны по адресу в микрокоманде. Адресная часть микрокоманды поступает на дешифратор микрокоманды, где формируются сигналы записи и чтения этих регистров под управлением сигналов из БСОБ.

### 2.3.3. Б л о к м и к р о п р о г р а м м н о г о у п р а в - л е н и я ( Б М У )

Электрическая схема БМУ представлена на черт. 6

БМУ предназначен для выработки последовательности микрокоманд при выполнении команды на основе принятого кода команды.

В состав БМУ входят следующие блоки и регистры:

буферный регистр команд (БРК);

дешифратор команд (ДШК);

регистр команд (РК);

накопитель микрокоманд (НМК);



26

- регистр микрокоманд (РМК);
- регистр следующего адреса (РСА);
- регистр текущего адреса (РТА);
- регистр прерываний (РПР);
- блок синхронизации БМУ (БС БМУ).

Каждая команда, принятая ПРЦ, всегда поступает на БРК. С БРК команда поступает на ДШК, где происходит предварительная дешифрация. Основную функцию дешифрации команды выполняет ПЛМ ДШК. ПЛМ содержит 50 логических произведений. Часть ДШК выполнена на логических схемах. Основная часть сигналов с ДШК поступает на управление ПЛМ НМК. Некоторые сигналы поступают на управление БПР и ИБ.

После окончания обработки текущей команды следующая команда переписывается с БРК на РК. С РК код команды поступает на НМК. НМК выполнен на ПЛМ, содержащей 190 логических произведений. ПЛМ НМК вырабатывает последовательность микрокоманд, которая обеспечивает выработку адресов операндов, выборку и выполнение команд и обработку прерываний.

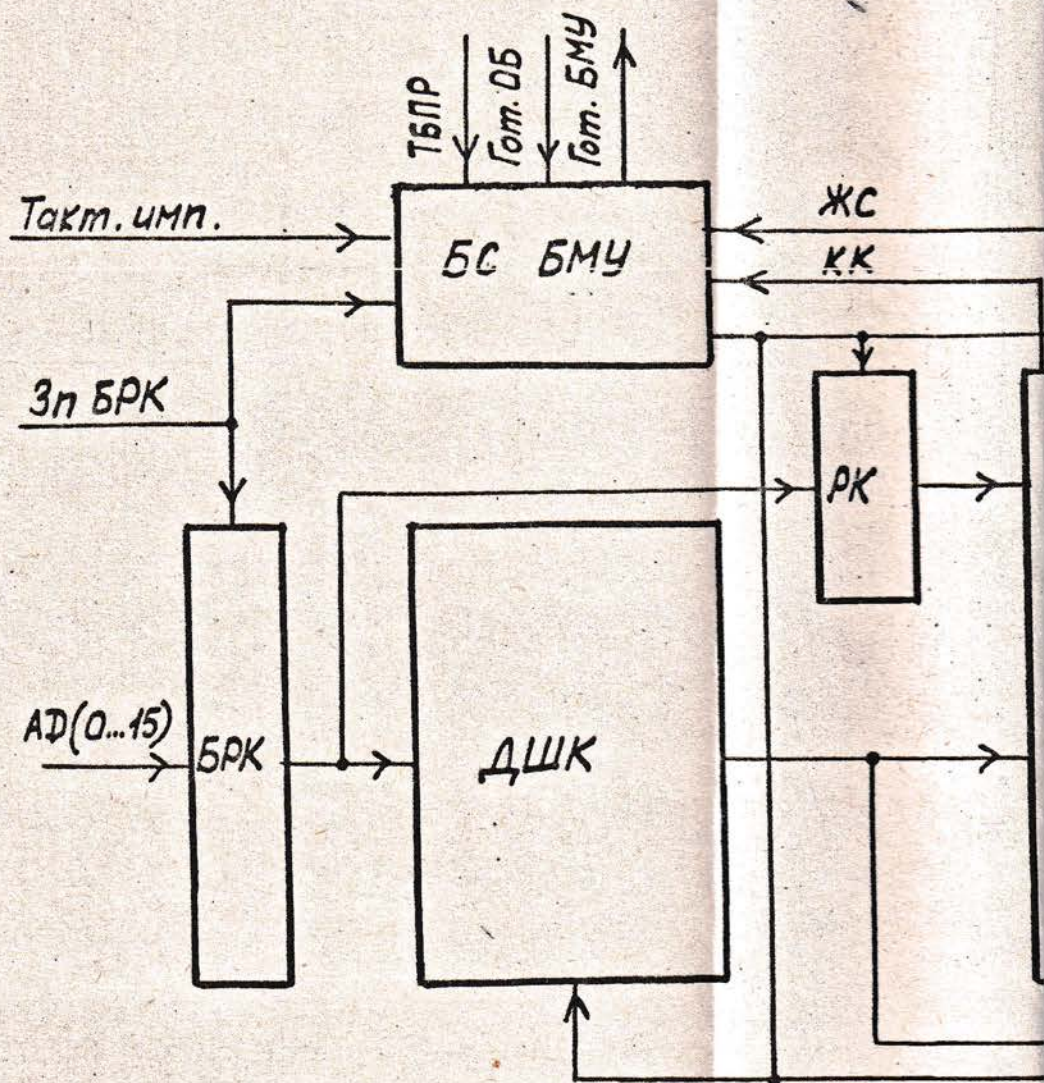
Для перехода от текущей к следующей микрокоманде служит регистр следующего адреса (РСА). Следующий адрес образуется при выработке текущей микрокоманды и перед выработкой следующей переписывается на регистр текущего адреса (РТА). При выработке первой микрокоманды на РТА заносится начальный адрес с ДШК.

Коды прерываний поступают с БПР на регистр прерываний (РПР). В командных прерываниях БПР устанавливается микропрограммно в специальном формате микрокоманды. На вход ПЛМ НМК поступает также признак ветвления, который вырабатывается при выполнении команд ветвления и в некоторых специальных случаях.

Выработанный на ПЛМ НМК код микрокоманды записывается в регистр микрокоманд (РМК). Кроме микрокоманды на ПЛМ НМК вырабатывается ряд управляющих признаков. Это сигналы "Принять прерывание (ПП)", "Жду состояние (ЖС)", "Конец команды (КК)" и некоторые другие. Работой

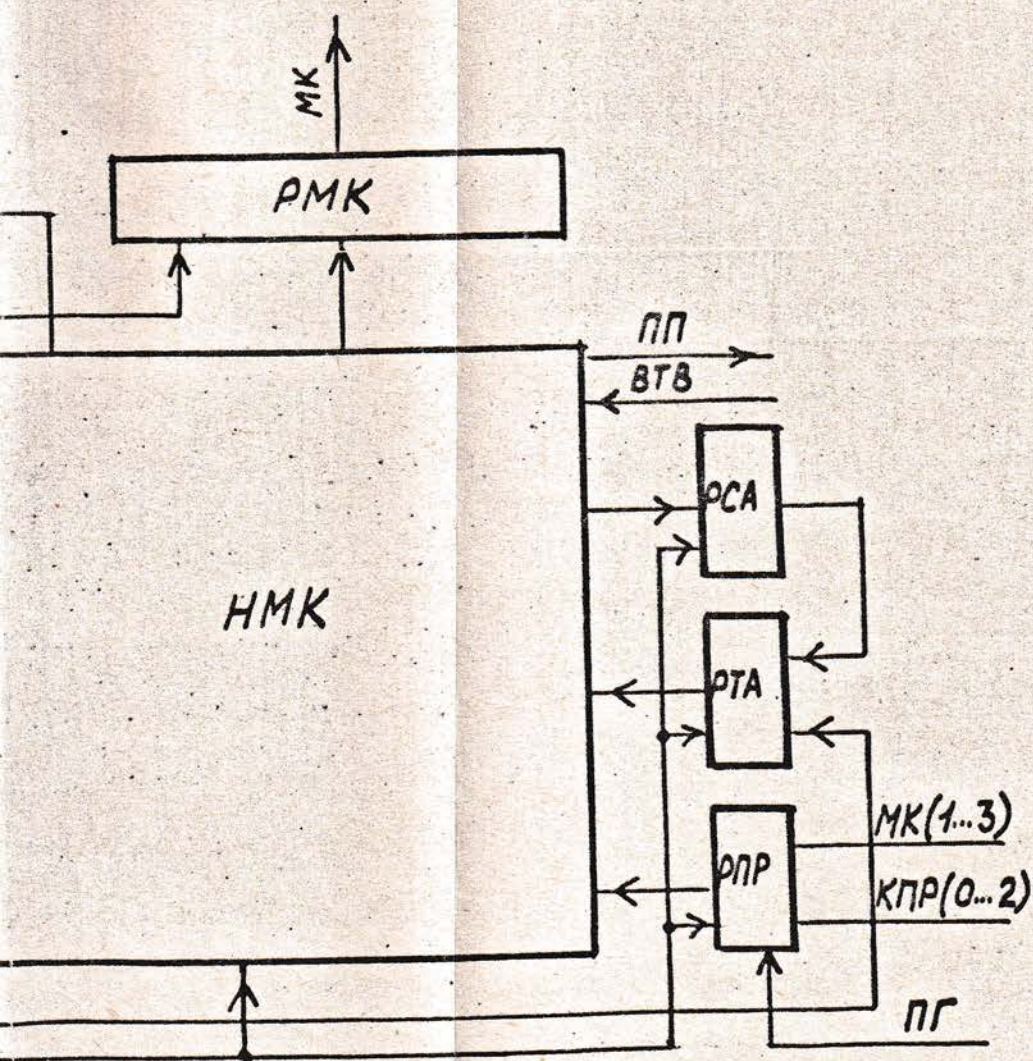


Блок микропрограмм  
Схема электрическая





ного управления  
структурная





БМУ и его синхронизацией с другими блоками управляет блок синхронизации БМУ (БС БМУ). Если нет сигналов торможения, БС БМУ запускается сигналом готовности ОБ (Гот ОБ). БМУ может останавливаться в случае ожидания приема команды по сигналу КК, ожидания выработки состояния по сигналу ЖС и при обработке некоторых прерываний по сигналу торможения от БПР (ТБПР). При выработке микрокоманды БС БМУ выдает сигнал Гот.БМУ, который запускает БСОБ. Если выполнение микрокоманды задерживается, БС БМУ останавливается до получения сигнала Гот.ОБ.

#### 2.3.4. Б л о к о б р а б о т к и у с л о в и й в е т - в л е н и я ( Б О В )

Электрическая структурная схема БОВ представлена на черт. 7

БОВ предназначен для выработки и подачи на один из входов ПЛМ НМК управляющего сигнала ветвления (ВТВ) на основе кода операции команды и признаков ветвления  $N, Z, V, C$ , вырабатываемых в ОБ при выполнении команд.

В БОВ входят следующие блоки и регистры:

регистр команд (РК);

регистр состояния (РС);

ПЛМ, состоящая из двух матриц М1 и М2 и содержащая 22 логических произведения;

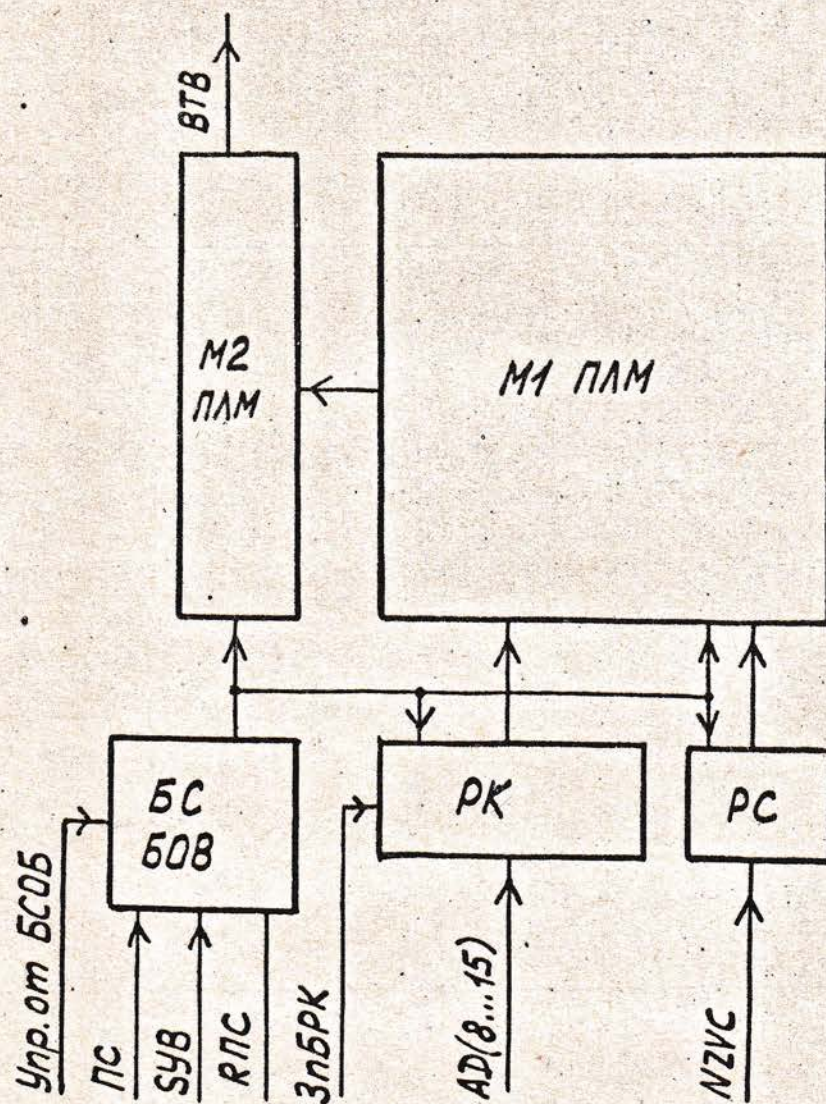
блок минхронизации БОВ.

Код команды (разряды 8-15) принимается на РК при приеме каждой команды. После окончания каждой команды и при выполнении некоторых команд в РС записывается состояние  $N, Z, V, C$ . Информация с этих регистров поступает на вход первой матрицы ПЛМ. На основе кода команды и кода состояния ПЛМ БОВ вырабатывает признак ветвления.

Работой БОВ управляет блок синхронизации БС БОВ. БС БОВ запускается при записи любой команды в РК БМУ по сигналу СУВ и в случае появления признака "ЖС" по сигналу ПС. Если признак ветвления вырабатывается по сигналу "ЖС", то после окончания цикла БОВ вырабатывается



Блок обработки условий ветвления  
Схема электрическая структурная



Черт. 7



сигнал  $\bar{R}PS$ , который запускает БМУ, снимая торможение по "ИС".

### 2.3.5. Блок прерываний (БПР)

Электрическая структурная схема БПР представлена на черт. 8.

Блок прерываний служит для приема и предварительной обработки сигналов прерываний. В блоке БПР также находится логика аппаратной поддержки выполнения команды

В БПР входят следующие блоки:

регистр источников прерываний (РИП);

ПЛМ, состоящая из двух матриц М1 и М2 и содержащая 30 логических произведений;

9-ти разрядный счетчик (СЧ);

блок управления (Упр);

блок синхронизации (БС БПР).

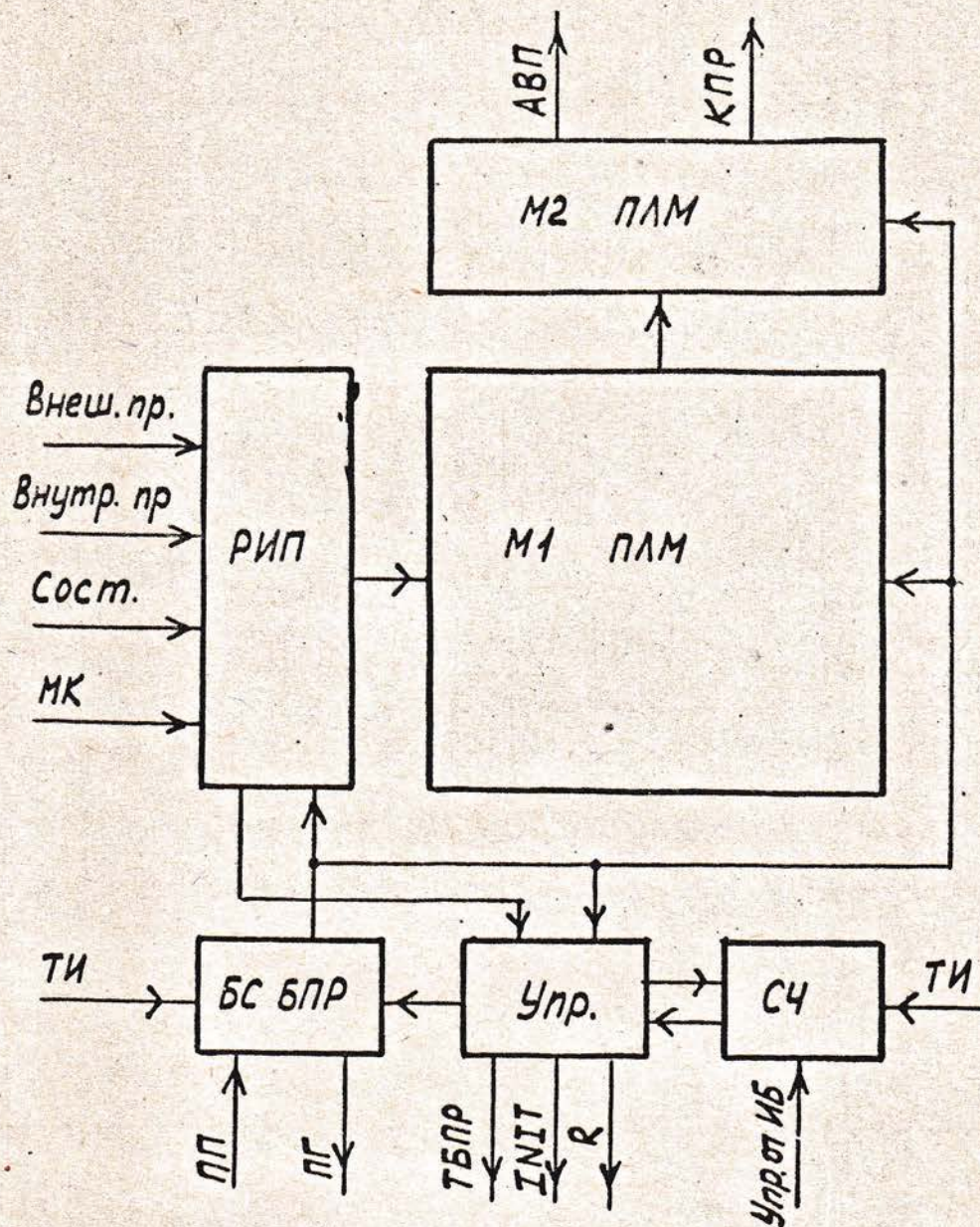
Все сигналы прерываний поступают на регистр источников прерываний. При выполнении команды WAIT триггер "Ждать" в РИП устанавливается микропрограммно в специальном формате микрокоманды. Из РИП сигналы прерывания поступают на входы I-й матрицы ПЛМ. На ПЛМ реализована схема приоритетов прерывания. Если выставлено одновременно два прерывания, то сначала обслуживается прерывание с более высоким приоритетом. Если 7-й разряд РСП установлен в единицу, то внешние не фатальные прерывания маскируются.

Кроме организации схемы приоритета ПЛМ БПР обеспечивает выработку адреса вектора прерывания (АВП), поступающего на блок констант ОБ, и кода прерывания (КПР), который служит для переключения БМУ на микропрограмму обработки прерываний.

Для отсчета интервала времени, воспринимаемого как зависание, и формирования сигнала INIT при выполнении команды RESET служит 9-ти разрядный счетчик. Счетчик запускается сигналом DOUT или DIN при отслеживании зависаний или микропрограммно при выполнении



Блок прерываний. Схема электрическая структурная



Черт. 8



команды **RESET**. Момент достижения счетчиком нужного состояния при отсчете зависания отслеживается схемой управления. В схеме управления формируется также сигнал общего сброса (установки в начальное состояние) всех блоков ПРЦ и сигнал торможения БМУ в некоторых случаях.

Работой БПР управляет блок синхронизации БС БПР. Он запускается сигналом "ПП" (прием прерывания) от БМУ.

Коды АВП и КНР записываются в соответствующие приемные регистры сигналом "ПГ" (прерывание готово), выработанным в БС БПР.

### 2.3.6. И н т е р ф е й с н ы й   б л о к   ( И Б )

Электрическая структурная схема ИБ представлена на черт. 9.

ИБ предназначен для организации обменов между ПРЦ и устройствами на системной магистрали. В ИБ находится также арбитр прямого доступа к памяти, совмещенный со схемой запроса окон.

В состав ИБ входят следующие блоки:

арбитр прямого доступа к памяти (АПД);

блок выдачи адреса (БВА);

блок приема и выдачи данных (БПВД);

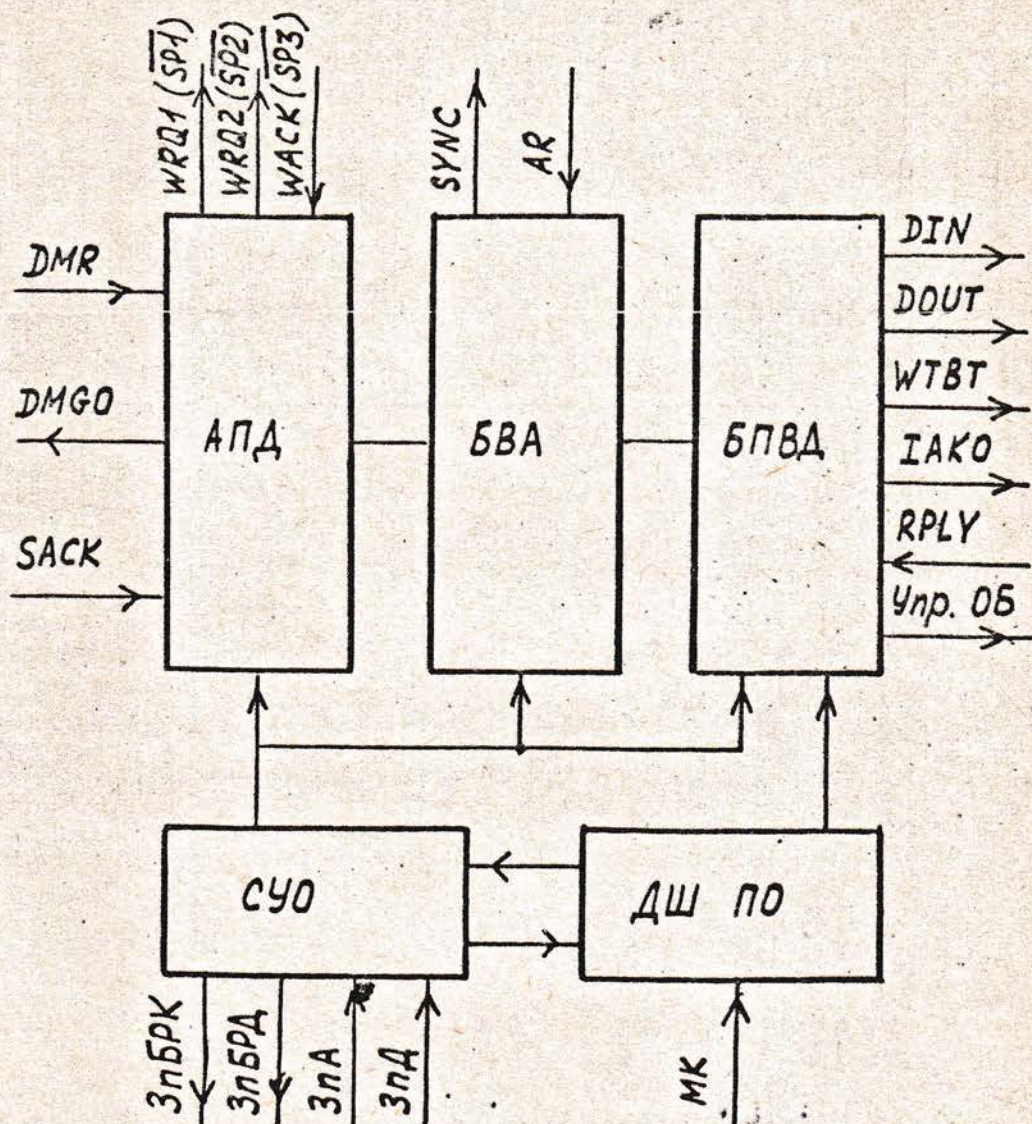
дешифратор поля обмена микрокоманды (ДПО);

схема управления обменами (СУО).

Арбитр прямого доступа предназначен для организации режима прямого доступа к памяти ЭВМ, построенной с использованием ПРЦ, для устройств, находящихся на системной магистрали. АПД отслеживает поступление запроса на прямой доступ. После поступления запроса ПРЦ заканчивает текущий цикл обмена по системной магистрали и выдает разрешение на прямой доступ. Во время цикла прямого доступа ПРЦ останавливается. После вычисления адреса и записи его в регистр адреса (РА) в ИБ поступает запрос на обмен. Если системная магистраль или дополнительная магистраль, запрашиваемая через окно свободна, то под управлением БВА начинается выдача адреса в системную или дополнительную магистраль.



Интерфейсный блок. Схема электрическая  
структурная



Черт. 9



37

После выдачи адреса управление передается БПВД и в зависимости от кода обмена микрокоманды происходит цикл приема или выдачи данных, или приема команды. Если обмен безадресный (прием вектора прерывания или чтение регистра начальных условий), то запрос на обмен начинает обрабатывать сразу БПВД. БВА в этом случае не запускается.

Код обмена микрокоманды поступает на ДШ ПО. На этом дешифраторе образуются сигналы, которые определяют тип обмена, направление приема и некоторые вспомогательные признаки.

Синхронизацией отдельных блоков ИБ и связью ИБ с другими блоками ПРЦ управляет схема управления обемами (СУО). На эту схему поступают сигналы записи в РА (ЗПА) и БРД (ЗПД), которые сообщают о готовности адреса и данных к выдаче. В свою очередь, СУО вырабатывает сигналы записи в БРК и БРД при поступлении команды и данных с системной магистральной. При задержках поступления данных с системной магистральной СУО вырабатывает сигналы торможения ОБ.

### 3. ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ ПРЦ

#### 3.1. Работа ПРЦ

Микропроцессор (ПРЦ) представляет собой законченный функциональный модуль. ПРЦ имеет средства коррекции интерфейса, которые позволяют менять временные диаграммы интерфейса при помощи внешних схем, приспособлявая их для конкретных условий применения.

В ПРЦ предусмотрена возможность расширения системы команд путем реализации дополнительных команд на системной (скрытой) памяти. ПРЦ имеет средства для организации системной памяти таким образом, что её адресация не пересекается с адресами основной оперативной памяти ЭВМ. Системная память дополняет оперативную память. Она доступна только с помощью специальных команд.



В ПРЦ реализован метод приема команд с опережением. Алгоритм приема и обработки команд построен так, что к концу выполнения команды следующая команда уже принята на буферный регистр команд и начинается прием еще одной команды. Такой процесс опережения осуществим только на линейных участках программы, когда нет ветвлений. При выполнении команд ветвления и вообще любых команд, в которых происходит загрузка счетчика команд, команда, принятая на БРК, оказывается не той, которая предусматривалась по программе. В таких случаях аппаратно осуществляется повторный прием следующей команды. Для восстановления опережения в этой же команде подготавливается прием еще одной команды. Нарушение опережения происходит также в том случае, когда по счетчику команд читается не команда, а данные. В конце команды с адресацией данных по счетчику команд производится также восстановление опережения путем организации чтения двух следующих за текущей команд.

Повторный прием команды происходит также в том случае, когда текущая команда модифицирует следующую за ней команду. После окончания процедуры модификации, т.е. записи по адресу следующей команды, эта измененная команда читается и выполняется. Происходит повторный прием команды, поскольку в течение выполнения текущей команды следующая уже была принята на БРК. Каждая команда, принятая в ПРЦ, записывается в БРК, откуда она поступает на дешифратор команд. Дешифратор команд запускается, если команда принята на БРК и установлен признак того, что предыдущая команда окончилась. К концу цикла ДШК команда переписывается из БРК в РК, в регистре текущего адреса устанавливается начальный адрес микропрограммы, вырабатываются некоторые служебные признаки и запускается ПЛМ накопителя микрокоманд. Выработанная микрокоманда записывается в РК и поступает на дешифратор поля чтения микрокоманды. После дешифрации запускается ОБ и выполняется фаза чтения. Во время выполнения фазы чтения происходит дешифрация поля записи микрокоманды, и после завершения фазы чтения выполняется



фаза записи. Во время работы ОБ БМУ вырабатывает следующую микрокоманду. Такой процесс выработки - выполнения микрокоманд продолжается до завершения выполнения команды. В последней микрокоманде запускается БПР и, если есть незамаскированное прерывание (в РПРБМУ поступает соответствующий код), ПРЦ переходит на микропрограмму обработки прерывания.

В каждой команде есть обращение к устройствам на системной магистрали. Это цикл приема следующей команды, чтение и запись данных. Если в поле обмена микрокоманды есть признак обращения к системной магистрали, ОБ вырабатывает сигнал запроса на обмен, который поступает в ИБ. Если системная магистраль свободна, ИБ выполняет цикл обмена по системной магистрали. ОБ в это время может выполнять микрокоманды, не связанные с обменом или связанные с подготовкой к следующему обмену. После окончания обработки очередной команды ПРЦ переходит к обработке следующей и т.д. до конца программы.

### 3.2. Общие принципы организации интерфейса

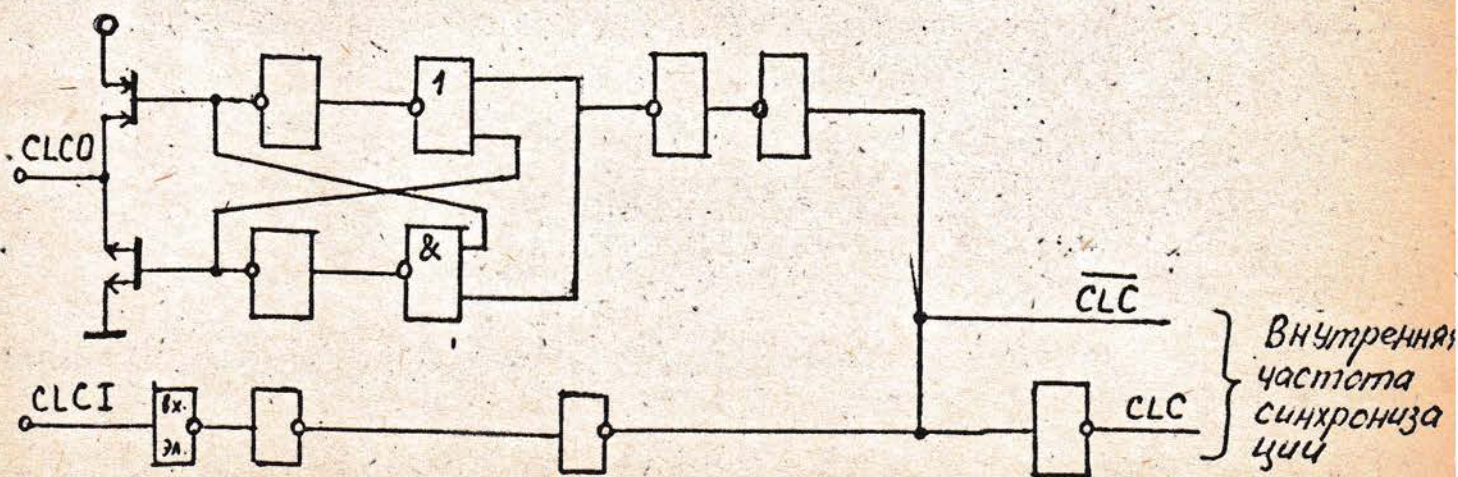
В ПРЦ применяется асинхронный принцип выдачи адреса и приема-выдачи данных. Установкой сигнала *SYNC* в низкий уровень ПРЦ сообщает устройствам на системной магистрали, что адрес выставлен на выводах *AD* (0-15). Адрес не снимается и процесс обмена не продолжается, пока на выводе *AR* ПРЦ не будет установлен низкий уровень сигнала. Установка сигнала - переход сигнала из высокого уровня в низкий; снятие сигнала - переход сигнала из низкого в высокий. В процедуре чтения данных установкой сигнала *DIN* в низкий уровень ПРЦ сообщает внешним устройствам, что процесс выдачи адреса закончен и он готов к приему данных. Процедура чтения не продолжается до тех пор, пока на выводе *RPLY* не будет установлен низкий уровень. Признаком того, что прием данных закончен, является установка на выводе *DIN* ПРЦ высокого уровня. В процедуре записи признаком того, что



ПРЦ выставил данные на выводах  $AD$  (0-15) является установка сигнала на выводе  $DOUT$ . Процесс записи не продолжается, пока на выводе  $RPLY$  не будет установлен низкий уровень сигнала. Признаком того, что процесс записи закончен, является установка сигнала на выводе  $DOUT$  ПРЦ в высокий уровень.

ПРЦ начинает обмен только тогда, когда свободна системная магистраль или дополнительная магистраль при обращении к ней через окно. Признаком того, что системная магистраль свободна, является для ПРЦ наличие высоких уровней сигнала на выводах  $DMR$ ,  $SACK$ ,  $AR$  и  $RPLY$ . Признаком того, что дополнительная магистраль, видимая через окно, свободна, является для ПРЦ наличие высоких уровней сигнала на выводах  $DMR$ ,  $SACK$ ,  $AR$  и  $RPLY$ , а также низкого уровня на выводе  $WACK$ .

Если в процессе работы необходимо остановить обмены, инициируемые ПРЦ, можно воспользоваться сигналом  $DMR$ . При установке в низкий уровень этого сигнала ПРЦ выполнит до конца текущий обмен и по всем входам, за исключением выходов  $CLCO$ ,  $DMGO$ ,  $SEL$ ,  $IAKO$  перейдет в пассивное третье состояние. При переводе сигнала на выводе  $DMR$  в высокий уровень ПРЦ продолжит выполнение программы с места останова. Внешняя тактовая частота, поступающая на вход  $CLCI$  синхронизирует работу всех блоков внутри ПРЦ, и транслируется на выход  $CLCO$  с некоторой внутренней задержкой относительно  $CLCI$ .



Черт. 10 Схема формирования сигналов внутренней синхронизации и сигнала  $CLCO$ .



Прием входных и выдача выходных сигналов привязывается к внутренней частоте синхронизации  $CLC$ . На временных диаграммах все сигналы представлены относительно сигнала  $CLCO$ .

Сигналы  $DMR$  и  $WACK$  как по переднему, так и по заднему фронту, принимаются через двойную привязку: первая -  $D$  триггер, запись в который осуществляется низким уровнем сигнала  $CLC$ , вторая -  $D$  триггер, запись в который осуществляется высоким уровнем сигнала  $CLC$ . Сигнал  $SACK$  низким уровнем принимается асинхронно, а высоким уровнем через двойную привязку: первая -  $D$  триггер, запись в который осуществляется низким уровнем сигнала  $CLC$ , вторая -  $D$  триггер, запись в который осуществляется высоким уровнем сигнала  $CLC$ .

Сигнал  $AR$  низким уровнем сбрасывает адрес.  $AR$  поступает на две различные цепи с двух уровневой привязкой. Первая привязка предназначена для отслеживания низкого уровня сигнала  $AR$ . Запись осуществляется низким уровнем сигнала  $CLC$  и выход с него поступает на схему формирования низкого уровня сигнала  $DIN$ , запись во второй ~~уровень~~ осуществляется высоким уровнем сигнала  $CLC$ , а его выход поступает на схему выдачи данных и схему формирования низкого уровня сигнала  $DOUT$ . Сброс осуществляется интерфейсным блоком в конце обмена независимо от наличия сигнала  $AR$ . Вторая цепь предназначена для отслеживания перехода сигнала  $AR$  из низкого в высокий уровень. Запись в первый ~~этаж~~ этой цепи как по переднему так и по заднему фронту осуществляется низким уровнем сигнала  $CLC$ , запись во второй ~~этаж~~ так же по обоим фронтам - высоким уровнем  $CLC$ . Выход второго ~~этажа~~ этой цепи поступает на вход схемы торможения начала следующего обмена.

Сигнал  $REPLY$  так же поступает на две различные цепи с двух уровневой привязкой. Первая цепь предназначена для запуска фаз записи и чтения. Прием в первый ~~этаж~~ осуществляется высоким уровнем сигнала  $CLC$ , а во второй - низким уровнем сигнала  $CLC$ . Вторая цепь



39

предназначена для отслеживания перехода сигнала *REPLY* из низкого в высокий уровень с целью управления началом следующего обмена. Запись в первый этап этой цепи осуществляется низким уровнем сигнала *CLC*, а запись во второй - высоким. Когда ПРЦ работает с быстрыми внешними устройствами, например, с ОЗУ, находящимся на той же плате, что и процессор, для достижения максимального быстродействия нужно выдачу сигналов *AR* и *RPLY* согласовать с их приемом в ПРЦ.

Сигналы *DMR* и *SACK* используются в процедуре передачи управления по прямому доступу к памяти, а *WACK* - в процедуре доступа к дополнительной магистрали через окно, поэтому на быстродействие системы они влияют мало.

Длительность фазы выдачи адреса при адресном обмене регулируется сигналом *AR*. Чтобы эта фаза была минимальной по длительности, сигнал *AR* нужно выставить низким уровнем не позже времени выставления сигнала *SYNC* плюс  $1/2 T_{CLC}$ .

Для всех видов адресного обмена окончание текущего цикла процедуры обмена и переход к следующему циклу происходит одинаково. При получении сигнала *RPLY* (низкий уровень) ПРЦ выполняет процедуру чтения или записи и снимает свои сигналы *DIN*, *DOUT* и *SYNC* независимо от времени поступления высокого уровня сигнала на вывод *RPLY*. Если во время текущего цикла обмена процессор сформировал запрос на следующий цикл обмена и при этом нет запроса на прямой доступ к памяти, а сигнал *AR* снят не позже того, как ПРЦ снимет сигнал *DIN* или *DOUT* плюс  $1/2 T$ , то процессор независимо от снятия сигнала выставит адрес следующего цикла обмена одновременно со снятием сигнала *SYNC* текущего обмена и начнет следующий обмен. В этом случае, если сигнал *RPLY* от закончившегося обмена не снят, а сигнал *AR* для начавшегося обмена установлен (низкий уровень), то процессор выставит сигналы *DIN* или *DOUT* в соответствующей им фазе привязки к



40

сигналу *CLC* только лишь после снятия сигнала *RPLY* от предшествующего обмена. Если процессор не сформировал запрос на следующий обмен в течение текущего цикла обмена, или в это время пришел сигнал запроса прямого доступа к памяти, то начало следующего цикла обмена будет зависеть не только от состояния сигнала *AR*, но и от состояния сигнала *RPLY* закончившегося обмена или закончившейся процедуры прямого доступа.

Если в процессе текущего обмена сигнал *AR* снимается позже, чем ПРЦ снимет сигнал *DIN* или *DOU*, то следующий обмен начнется только после установки сигналов *AR* и *RPLY* в высокий уровень.

Начало следующего за процедурой приема адреса вектора прерывания обмена определяется высоким уровнем на выводе *RPLY*.

Так как в определенных ситуациях следующий обмен начинается независимо от состояния сигнала на выводе *RPLY*, то для задержки запуска процессора пользоваться сигналом *RPLY* нельзя. С этой целью можно использовать задержку снятия сигнала *AR*. Если снятие сигнала *AR* производить по снятию сигнала *SYNC*, то произойдет дополнительная задержка следующего обмена на один период тактовой частоты.

Если ПРЦ ведет обмен с медленными внешними устройствами, то временная диаграмма сигналов интерфейса ПРЦ корректируется с помощью внешних схем. В этом случае разрешение на начало следующего цикла обмена нужно передавать на ПРЦ с помощью сигнала *AR* (высокий уровень).

На временных диаграммах все сигналы даны относительно выводов микросхемы. Задержки сигналов отсчитываются от середины логического перепада сигналов. Сигналы на временных диаграммах приведены для случая работы с быстрыми внешними устройствами (максимальное быстродействие).



### 3.3. Безадресное чтение

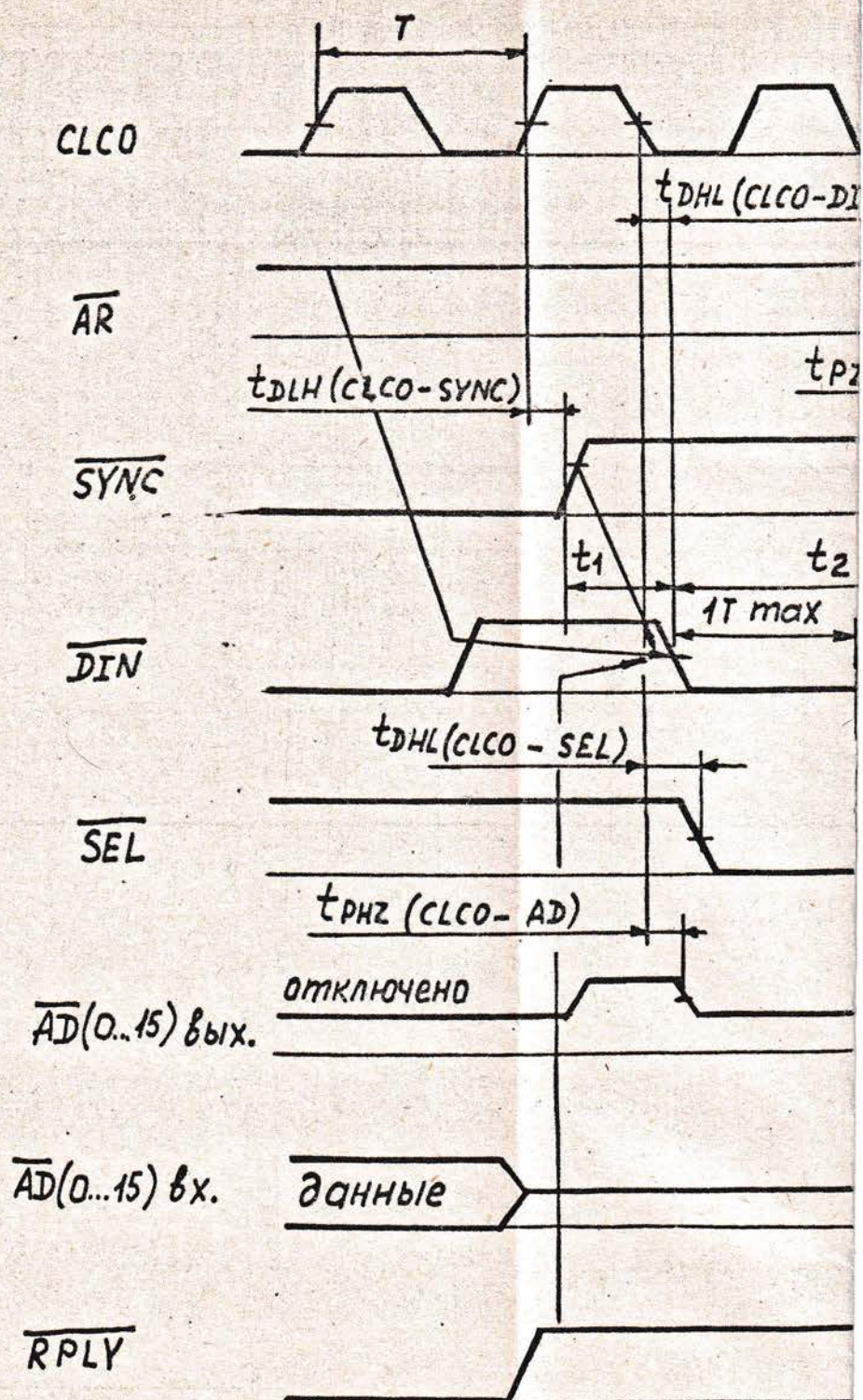
ПРЦ имеет специальную процедуру синхронного обмена — безадресное чтение. Временная диаграмма представлена на черт. 11. Эта процедура выполняется при переходе процессора на микропрограмму обработки прерываний и при выполнении команды **HALT** для чтения условий начального пуска, а также по специальной команде ЧПТ.

При безадресном чтении читается внешний регистр **SEL**, старшие восемь разрядов которого используются в качестве старших разрядов адреса вектора прерываний (включение питания, зависание в режиме **HALT** сигнал **HALT**, команда **HALT**, двойное зависание, зависание при приеме адреса вектора прерывания), а младшие восемь разрядов в качестве флажков при работе в скрытой области памяти.

С целью унификации микропрограммы обработки прерываний любая обработка прерывания сопровождается безадресным чтением внешнего регистра **SEL**, независимо от способа формирования адреса вектора прерывания. В соответствии с микропрограммой обработки прерывания или микропрограммой выполнения команды операционный блок выставляет запрос на выполнение безадресного чтения интерфейсному блоку, при условии, что интерфейсный блок не занят обменом (в противном случае запрос на безадресное чтение откладывается до окончания обмена). При поступлении запроса на безадресное чтение интерфейсный блок анализирует состояние сигналов **AR**, **REPLY** (могут быть низким уровнем от предшествующего обмена), а также сигналов сопровождения процедуры прямого доступа **DMR** и **SACK**. Если хотя бы один из этих сигналов 0 (низкий уровень), то процедура безадресного чтения откладывается до снятия этого (их) сигнала(ов) (высокий уровень).

Процедура "безадресное чтение" начинается выставлением интерфейсным блоком ПРЦ по низкому уровню сигнала **CLC** сигналов **DIN** и **SEL**. Одновременно с выставлением сигналов **DIN** и **SEL** на выводах **AD(0-15)**





$$t_1 - 1/2 T + [t_{DHL}(CLCO-DIN) - t_{DLH}(CLCO-SYNC)]$$

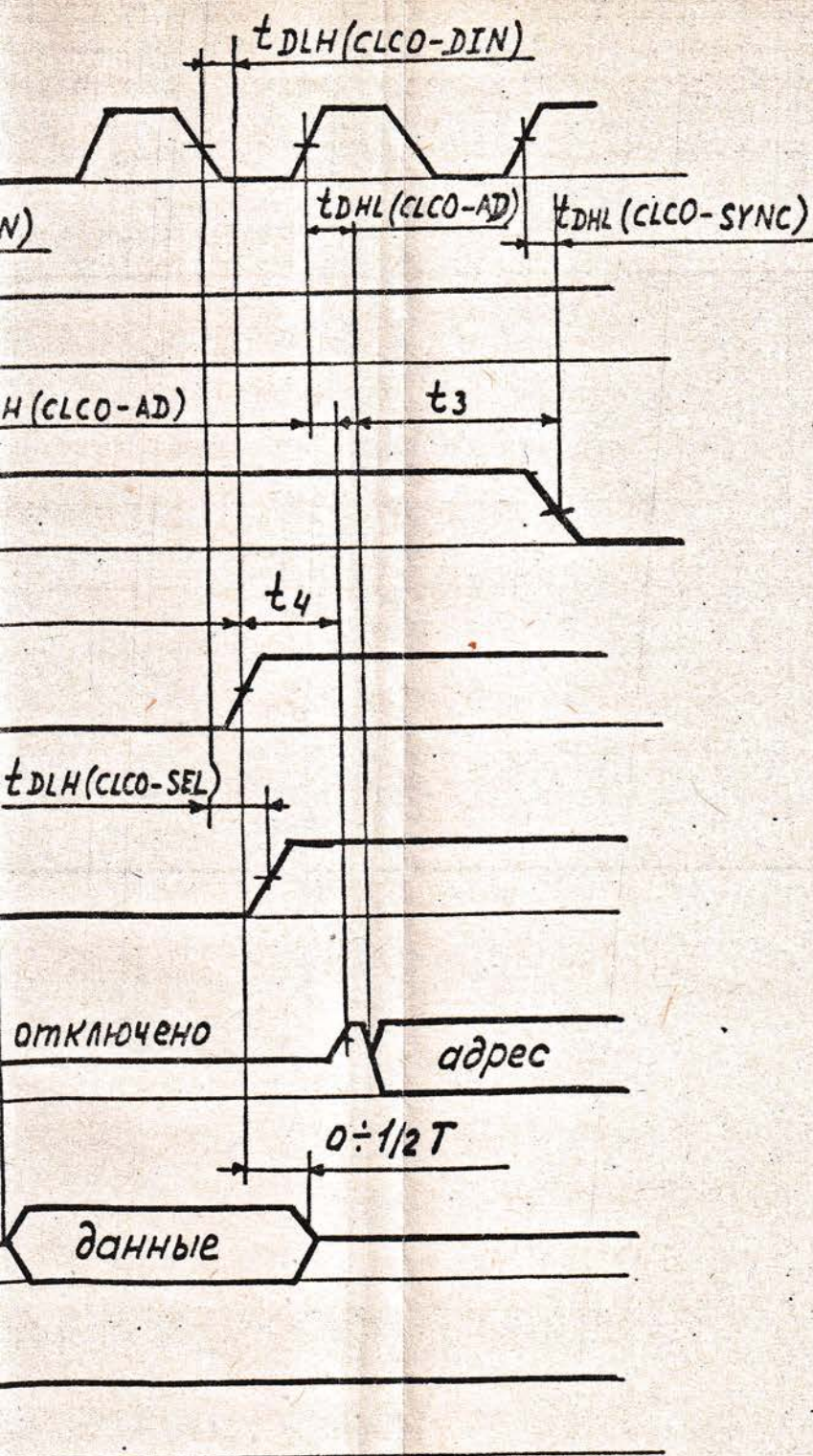
$$t_2 - 2T + [t_{DLH}(CLCO-DIN) - t_{DHL}(CLCO-DIN)]$$

$$t_3 - T + [t_{DLH}(CLCO-SYNC) - t_{DHL}(CLCO-AD)]$$

$$t_4 - 1/2 T + [t_{PZH}(CLCO-AD) - t_{DLH}(CLCO-DIN)]$$



# адресное чтение





45

устанавливается режим входов, т.е. ПРЦ переводит передатчики в отключенное состояние. Если к моменту поступления на интерфейсный блок запроса на безадресное чтение внешняя магистраль AD занята процедурой прямого доступа к памяти, то сигналы процедуры безадресного чтения *DIN* и *SEL* выставляются по низкому уровню сигнала *CLC* интерфейсным блоком процессора через  $1/2 T + 1 1/2 T$  после снятия (переход в высокий уровень) последнего из сигналов сопровождения процедуры прямого доступа *DMR* и *SACK*, а также сигналов сопровождения обмена по магистрали *AR* и *REPLY*. Если к моменту поступления на интерфейсный блок запроса на безадресное чтение от предшествующего адресного обмена не сняты (низкий уровень) сигналы *AR* и (или) *REPLY*, то сигналы процедуры безадресного чтения *DIN* и *SEL* выставляются по низкому уровню сигнала *CLC* интерфейсным блоком процессора через  $1/2 T + 1 1/2 T$  после снятия (переход в высокий уровень) последнего из сигналов *AR* и (или) *REPLY*. Необходимо сигнал *AR* снимать не позже времени выставления сигнала *REPLY* низким уровнем плюс период тактовой частоты, а сигнал *REPLY* не позже времени снятия сигнала *DIN* плюс  $1/2 T$  или сигнала *DOUT* плюс  $1T$ .

Интервал времени  $1/2 T + 1 1/2 T$  сигналов *DIN* и *SEL* относительно снятия сигналов *DMR*, *SACK*, *AR*, *REPLY* обусловлен тем, что сигналы *DMR*, *SACK*, *AR*, *REPLY* поступают на схему торможения начала следующего обмена интерфейсного блока через двойную привязку (первый этаж - D-триггер, запись в который происходит по низкому уровню сигнала *CLC*, второй этаж - D триггер, запись в который происходит по высокому уровню сигнала *CLC*).

При выполнении процедуры безадресного чтения сигнал *REPLY* не используется. Длительность фазы низкого уровня сигналов *DIN* и *SEL* составляет всегда  $2T$ . Для обеспечения надежного приема информации данные с внешнего регистра *SEL* должны выставляться на выводах AD(0-15) ПРЦ не позже чем через  $T$  относительно сигналов *DIN* и



*SEL*. (в противном случае необходимо понижать тактовую частоту).

Через  $I/2T$  относительно снятия сигналов *DIN* и *SEL* ПРЦ выставляет на выводах *AD*(0-15) активный высокий уровень или адрес (если сформирован запрос на следующий обмен). К этому моменту данные с магистрали *AD* (0-15) должны быть сняты. Если на фоне процедуры безадресное чтение на входе процессора *DMR* будет выставлен (низкий уровень) запрос на процедуру прямого доступа к памяти по времени не позже, чем время снятия сигналов *DIN* и *SEL*, то следующий обмен (если запрос на него сформирован) будет отложен до окончания процедуры прямого доступа к памяти. Если сигнал *DMR* по времени придет позже чем время снятия сигналов *DIN* и *SEL*, то процессор выполнит следующий за безадресным чтением обмен и только после этого предоставит магистраль под прямой доступ.

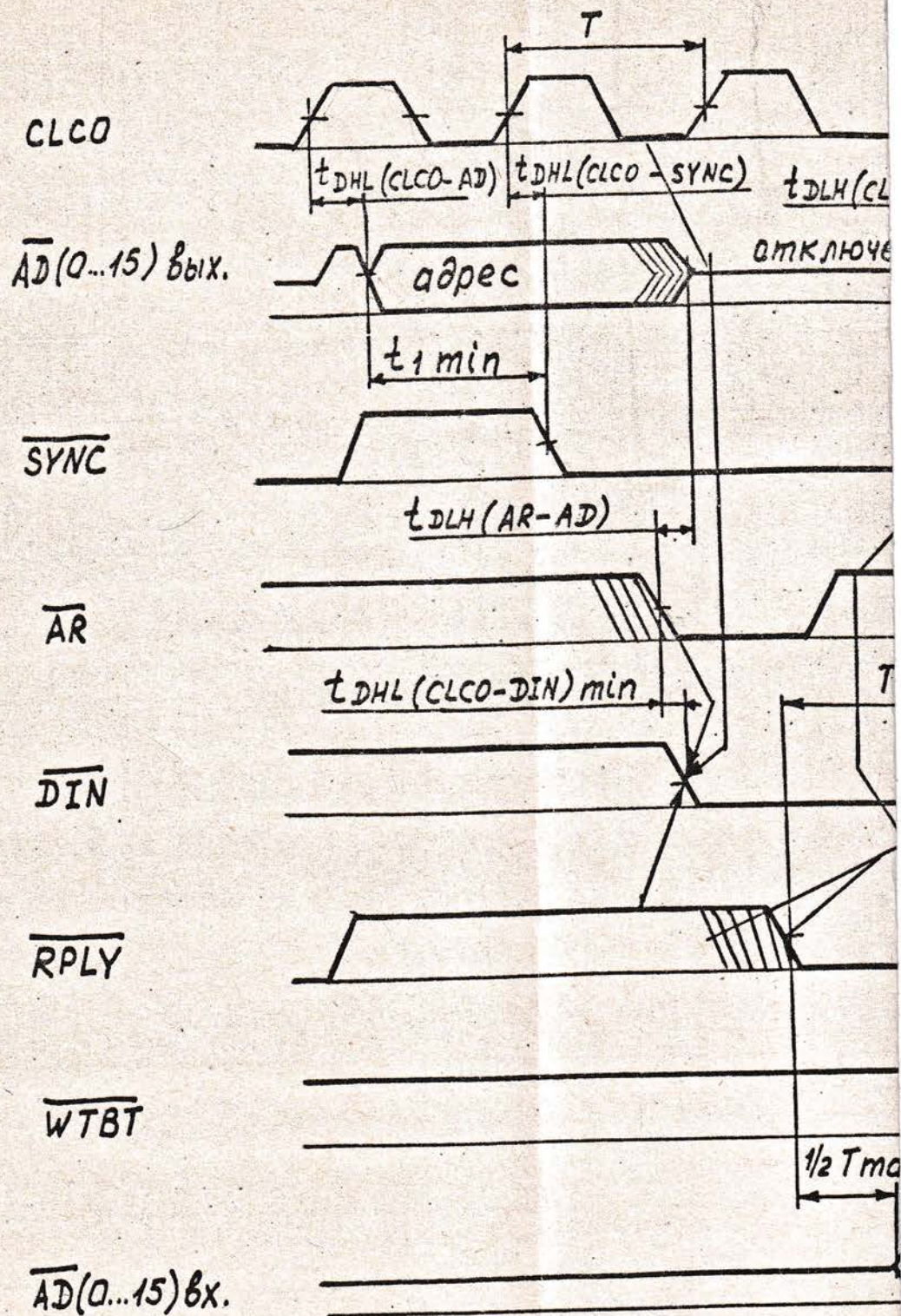
### 3.4. Адресное чтение

Процедура адресное чтение используется для чтения команд и данных по адресу ячейки памяти или данных из регистра внешнего устройства. Временная диаграмма процедуры "адресное чтение" представлена на черт. 12.

В соответствии с микропрограммой выполнения команды операционный блок записывает адрес в регистр адреса и выставляет запрос интерфейсному блоку на адресное чтение, при условии, что интерфейсный блок не занят обменом (в противном случае запрос откладывается до окончания обмена). Получив запрос на адресное чтение интерфейсный блок ПРЦ анализирует состояния входных сигналов *DMR*, *SACK*, *AR*, а в определенных случаях - сигнал *REPLY*. Если хотя бы один из этих сигналов выставлен низким уровнем (исключение в определенных случаях составляет сигнал *REPLY*), то адресное чтение откладывается до тех пор, пока последний из этих сигналов не перейдет в высокий уровень.



# Процедура адре

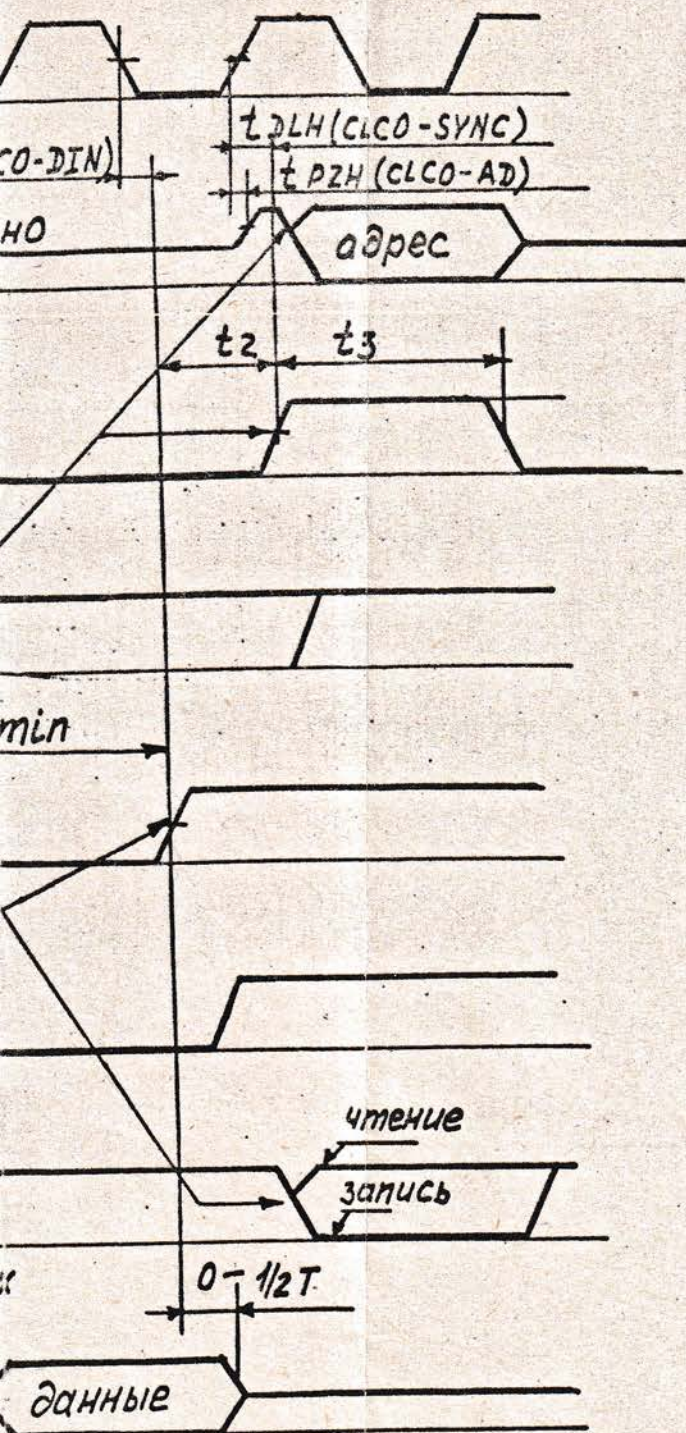


$$t_1 - T + [t_{DHL}(CLCO-SYNC) + t_{DHL}(CLCO-AD)]$$

$$t_2 - 1/2 T + [t_{DLH}(CLCO-SYNC) - t_{DLH}(CLCO-DIN)]$$

$$t_3 - T + [t_{DHL}(CLCO-SYNC) - t_{DLH}(CLCO-SYNC)]$$







96

Процедура "адресное чтение" начинается с выставления на магистраль  $AD(0-15)$  адреса по высокому уровню сигнала  $CLC$ . Если к моменту поступления на интерфейсный блок запроса на адресное чтение от предшествующего обмена не был снят сигнал  $AR$  или же магистраль  $AD(0-15)$  захвачена процедурой прямого доступа к памяти, сопровождаемой сигналами  $DMR$  и(или)  $SACK$  (низкий уровень), а также сигналами  $AR$  и  $REPLY$ , то выдача адреса начнется по высокому уровню сигнала  $CLC$  через  $1/2T + IT$  относительно снятия (высокий уровень) последнего из этих сигналов. Если запрос на адресное чтение пришел на фоне окончания предшествующего обмена, то выдача адреса начнется по высокому уровню сигнала  $CLC$ , по которому снимется сигнал предшествующего обмена  $SYNC$  (переход из низкого в высокий уровень) независимо от состояния сигнала  $REPLY$  (при условии, что сигнал  $AR$  и  $DMR$  сняты и не вызывают торможения обмена). Если же запрос на обмен пришел через период и более после снятия сигнала предшествующего обмена  $SYNC$ , то выдача адреса начнется через  $1/2T + IT$  после снятия сигнала  $REPLY$ . Интервал времени  $1/2T + IT$  появления адреса относительно снятия (переход в высокий уровень) сигналов  $DMR$ ,  $SACK$ ,  $AR$ ,  $REPLY$  обусловлен тем, что эти сигналы поступают на схему торможения начала следующего обмена интерфейсного блока через двойную привязку. (первый этаж -  $D$  триггер, запись в который происходит по низкому уровню сигнала  $CLC$ , второй этаж -  $D$  триггер, запись в который происходит по высокому уровню сигнала  $CLC$ ). Если адресное чтение осуществляется из скрытой памяти, то одновременно с адресом на выводе  $SEL$  устанавливается низкий уровень.

Через период относительно сигнала  $CLC$ , по которому выдается адрес, по высокому уровню сигнала  $CLC$  выставляется сигнал  $SYNC$  (низкий уровень). В ответ на сигнал  $SYNC$  контроллер внешнего устройства выставляет низким уровнем сигнал  $AR$ . Сигнал  $AR$  безусловно сбрасывает адрес, а также сигнал  $SEL$ , если обмен инициируется со



скрытой памятью и через первый этаж привязки (триггер, запись в который осуществляется по низкому уровню сигнала  $CLC$ ) поступает на схему формирования сигнала  $DIN$ . Таким образом, сигналом  $AR$  можно увеличивать фазу выдачи адреса на произвольное время. С целью получения максимальной скорости обмена сигнал  $AR$  необходимо выставлять не позже чем время выставления сигнала  $SYNC$  плюс  $1/2T$ . Если "растягивать" фазу адресации нет необходимости, то можно переключить выходы  $AR$  и  $SYNC$ , однако в этом случае начало следующего обмена (если запрос на обмен сформирован) будет задержано на период тактовой частоты относительно окончания текущего обмена, т.е. адрес выйдет через  $1T$  относительно снятия сигнала  $SYNC$ . Сигнал  $AR$  с первого этапа привязки вызывает формирование сигнала  $DIN$  (низкий уровень) при условии, что сигнал  $REPLY$  от предшествующего обмена снят (высокий уровень). Если сигнал  $REPLY$  от предшествующего обмена не снят к моменту формирования сигнала  $DIN$ , то сигнал  $DIN$  будет выставлен ~~низким~~ по низкому уровню сигнала  $CLC$  через время  $1/2T + 1T$  относительно снятия сигнала  $REPLY$ . Интервал времени  $1/2T - 1T$  выставления сигнала  $DIN$  относительно снятия сигнала предшествующего обмена  $REPLY$  обусловлен тем, что сигнал  $REPLY$  по цепи, формирующую фазу чтения/запись данных имеет двойную привязку: первый этаж -  $D$  триггер запись в который осуществляется по высокому уровню сигнала  $CLC$ ; второй этаж -  $D$  триггер запись в который осуществляется по низкому уровню сигнала  $CLC$ .

Одновременно с выставлением сигнала  $DIN$  на выводах  $AD(0-15)$  устанавливается режим входов, также, как при безадресном чтении. Если за время  $64T$  после выставления сигнала  $DIN$  на вывод  $RPLY$  не поступит низкий уровень сигнала, ПРЦ сбрасывает (переводит в высокий уровень) сигналы  $SYNC$ ,  $DIN$  и  $AD(0-15)$  и переходит к обработке прерывания по ошибке обращения к каналу (зависанию). Если сигнал  $REPLY$  пришел вовремя, то пройдя двойную привязку, он запускает цепь



синхронизации приема данных. С целью получения максимальной скорости обмена сигнал *REPLY* необходимо выставлять не позже первой половины фазы высокого уровня сигнала *CLC* следующей за фазой низкого уровня сигнала *CLC*, в которой выдается сигнал *DIN*. Для обеспечения надежного приема данные нужно выставлять на выводах *AD(0-15)* не позже, чем через  $1/2T$  после выставления сигнала *RPLY* и снимать их не ранее, чем снимется сигнал *DIN*. Через время  $1T-2T$  относительно выставления сигнала *REPLY* по низкому уровню сигнала *CLC* снимется сигнал *DIN*. Интервал времени  $1T-2T$  обусловлен двойной привязкой приема сигнала *REPLY* для запуска цепи синхронизации приема данных. Одновременно со снятием сигнала *DIN* заканчивается прием данных процессором. Через  $0,5T$  относительно снятия сигнала *DIN* по высокому уровню сигнала *CLC* интерфейсный блок ПРЦ сбрасывает (переход в высокий уровень) сигнал *SYNC* и на выводах *AD(0-15)* выставляет высокий активный уровень или адрес, если пришел запрос на обмен при условии, что снят сигнал *AR* и отсутствует запрос на прямой доступ. К этому моменту ведомое устройство должно убрать свои данные с выводов *AD(0-15)*. Чтобы сигнал *AR* не тормозил начало следующего обмена, необходимо снять его не ранее выставления и не позже снятия сигнала *DIN*. Для того, чтобы сигнал *REPLY* не влиял на начало следующего обмена необходимо его снимать не позже времени снятия сигнала *DIN* плюс  $1T$ . Сигнал *WTBT* во время цикла адресное чтение сохраняет высокий уровень. Если на фоне процедуры адресное чтение на входе ПРЦ *DMR* будет выставлен (низкий уровень) запрос на процедуру прямого доступа к памяти по времени не позже чем время снятия сигнала *DIN*, то следующий обмен (если запрос на него сформирован) будет отложен до окончания процедуры прямого доступа к памяти. Если сигнал *DMR* по времени придет позже чем время снятия сигнала *DIN*, то процессор выполнит следующий обмен и только после этого предоставит магистраль под прямой доступ.

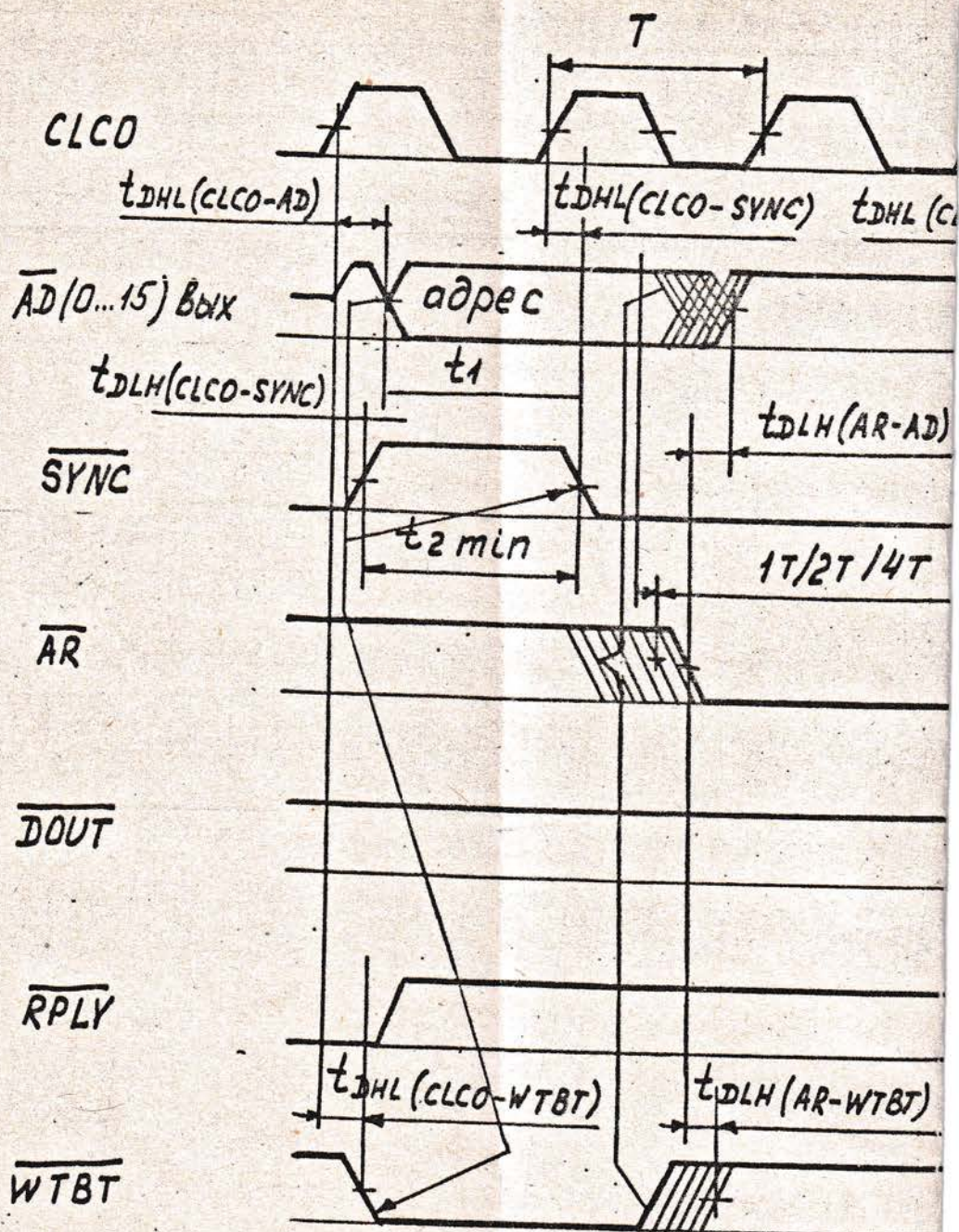


### 3.5. Запись

Процедура записи применяется для записи данных по адресу ячейки памяти или регистра внешнего устройства. Временная диаграмма процедуры представлена на черт. 13.

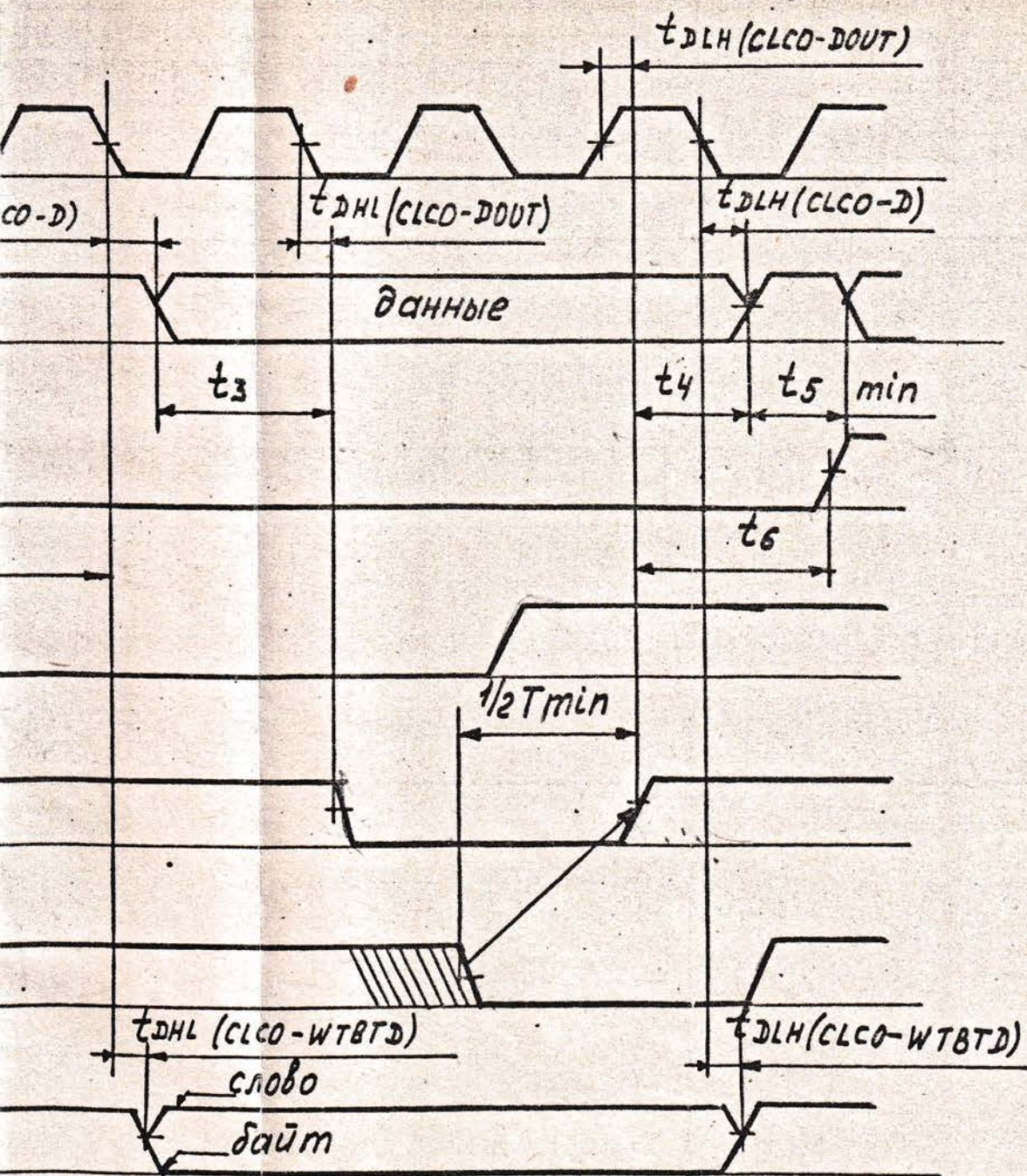
Фаза выдачи адреса при записи такая же, как и при всех адресных обменах. Условия начала фазы выдачи адреса и выполнение её приведено в п. 3.4. При выставлении на входе *AR* низкого уровня ПРЦ снимает адрес и переводит *AD(0-15)* в активный высокий уровень. Со второго этапа привязки сигнал *AR* по высокому уровню сигнала *CLC* подается на схему управления выдачей данных на магистраль *AD(0-15)*. Сюда же через двойную привязку подается сигнал *REPLV* с целью отслеживания снятия сигнала *REPLY* от предшествующего обмена. Для инициации записи необходимо выполнить две микрокоманды, в первой микрокоманде происходит запись адреса в регистр адреса, а во второй запись данных в регистр данных, которые затем последовательно выдаются на магистраль *AD(0-15)*. В зависимости от того, в какой фазе выполнение микрокоманды будет произведена запись в регистр адреса, а так же от занятости магистрали предшествующим обменом процессор может выдавать данные на магистраль или через 4  $I/2T$  или через 3  $I/2T$  или через 2  $2/IT$  относительно выставления сигнала *SYNC*. Если к моменту готовности процессором выдавать данные на магистраль *AD(0-15)* на схему управления выдачей данных с учетом двойных привязок уже пришел сигнал *AR* и снят сигнал *REPLY* от предшествующего обмена, то на магистрали по низкому уровню сигнала *CLC* через 4  $I/2T$  или 3  $I/2T$  или 2  $2/IT$  относительно выставления сигнала *SYNC* процессор выставит данные. В противном случае данные будут выставлены через  $I/2T$ —1  $I/2T$  относительно прихода сигнала *AR* и(или) снятия сигнала *REPLY* от предшествующего обмена. Через  $IT$  относительно выдачи данных по низкому уровню сигнала *CLC* интерфейсный блок ПРЦ выставляет (низкий уровень) сигнал *DOUT*. Если





- $t_1 - T + [t_{DHL}(CLCO-SYNC) - t_{DHL}(CLCO-AD)]$
- $t_2 - T + [t_{DHL}(CLCO-SYNC) - t_{DLH}(CLCO-SYNC)]$
- $t_3 - T + [t_{DHL}(CLCO-DOUT) - t_{DHL}(CLCO-D)]$
- $t_4 - 1/2 T + [t_{DLH}(CLCO-D) - t_{DLH}(CLCO-DOUT)]$
- $t_5 - 1/2 T + [t_{DLH}(AR-AD) - t_{DLH}(CLCO-D)]$
- $t_6 - T + [t_{DLH}(CLCO-SYNC) - t_{DLH}(CLCO-DOUT)]$







57

через  $64T$  после выставления сигнала  $DOUT$  не приходит сигнал  $RPLY$ , ПРЦ сбрасывает сигналы  $DOUT$ ,  $SYNC$  и данные с выводов  $AD(0-15)$  и переходит к обработке прерывания по ошибке обращения к каналу (зависанию). Если сигнал  $REPLY$  пришел вовремя, то пройдя двойную привязку он запускает цепь синхронизации выдачи данных. С целью получения максимальной скорости обмена сигнала  $REPLY$  необходимо выставлять не позже первой половины фазы высокого уровня сигнала  $CLC$  следующей за фазой низкого уровня сигнала  $CLCO$  в которой выдается сигнал  $DOUT$ . Через время  $1/2T - 1/2T$  относительно выставления сигнала  $REPLY$  по высокому уровню сигнала  $CLC$  снимется сигнал  $DOUT$ . Интервал времени  $1/2T - 1/2T$  обусловлен двойной привязкой сигнала  $REPLY$ . Через  $1/2T$  относительно снятия сигнала  $DOUT$  по низкому уровню сигнала  $CLC$  процессор снимает данные и переводит  $AD(0-15)$  в активный высокий уровень. Через  $1T$  относительно снятия процессором сигнала  $DOUT$  по высокому уровню сигнала  $CLC$  процессор снимает сигнал  $SYNC$ , а на выводах  $AD(0-15)$  выставляет адрес, если пришел запрос на обмен и при условии, что нет торможения от сигнала  $AR$  и (или)  $DMR$ . Чтобы сигнал  $AR$  не тормозил начало следующего обмена необходимо снять его не ранее времени выставления сигнала  $DOUT$  и не позже времени снятия сигнала  $DOUT + 1/2T$ . Для того, чтобы сигнал  $REPLY$  не влиял на начало следующего обмена его необходимо снять не позже времени снятия сигнала  $DOUT$  плюс  $1/2T$ . В процедуре записи в фазе выдачи адреса сигнал  $WBT$  выдается низким уровнем длительность его совпадает с адресом на  $AD(0-15)$ , в фазе выдачи данных сигнал  $WBT$  выдается низким уровнем, если производится запись байта, длительность его совпадает с длительностью данных на  $AD(0-15)$ . Так же низким уровнем в фазе выдачи адреса выдается сигнал  $SEL$ , в том случае, если запись осуществляется в скрытую память, длительность его совпадает с длительностью адреса на  $AD$ .



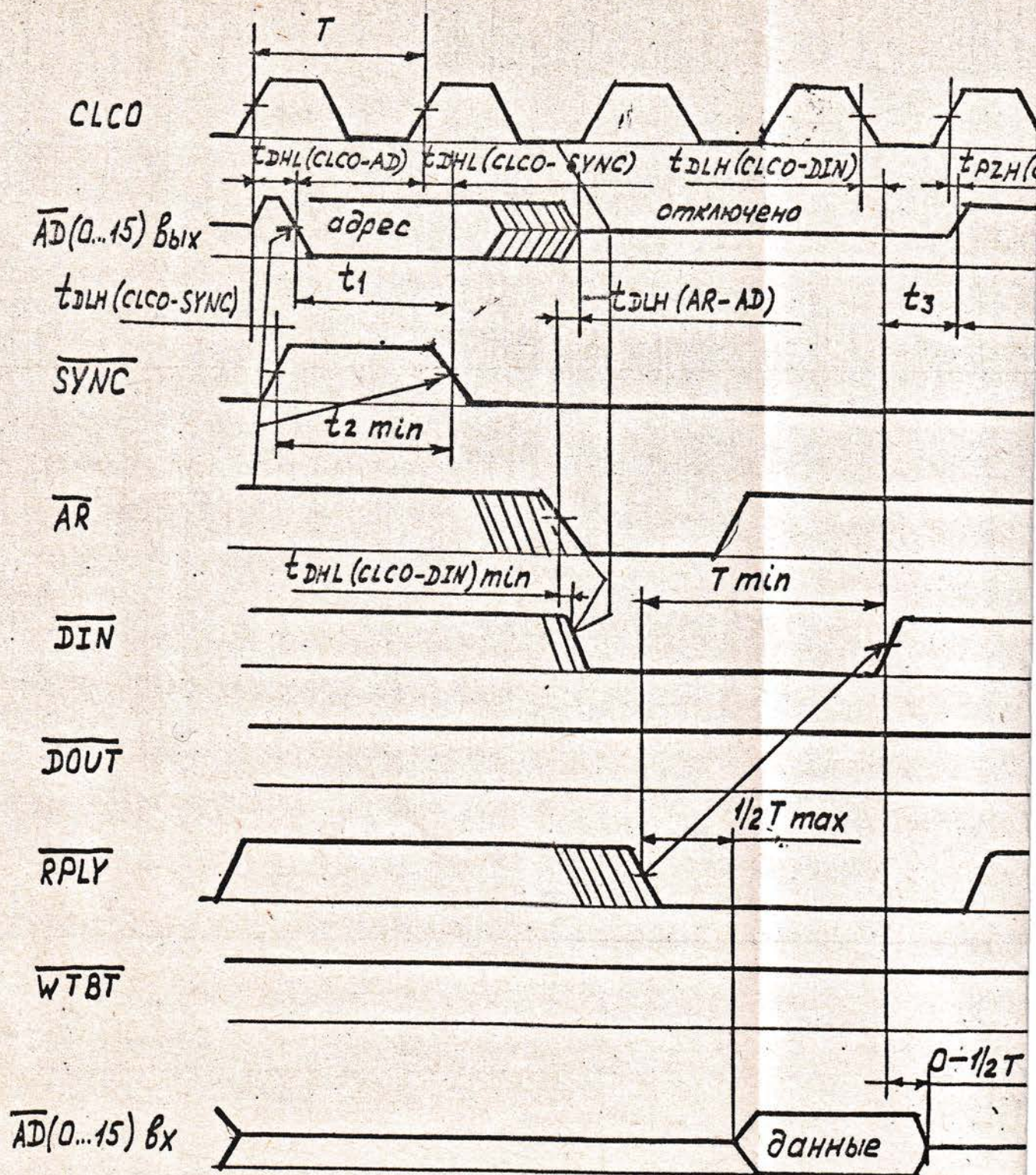
Если на фоне записи придет запрос на захват магистрали под прямой доступ к памяти *DMR* по времени не позже чем время снятия сигнала *DEUT* плюс  $I/2T$ , то следующий обмен (если запрос на него сформирован) будет отложен до конца выполнения процедуры прямого доступа к памяти. Если сигнал *DMR* придет позже указанного выше времени, то процессор выполнит следующий обмен и только после этого предоставит магистраль под прямой доступ.

### 3.6. Ч т е н и е - м о д и ф и к а ц и я - з а п и с ь

В ПРЦ процедура чтение-модификация-запись позволяет прочитать по адресу операнд, произвести над ним операцию и записать результат по тому же адресу. Временная диаграмма этой процедуры представлена на черт. 14. Процедура состоит из трех фаз: фазы выдачи адреса, фазы чтения и фазы записи. Выполнение фазы выдачи адреса такое же, как в любом адресном обмене. Фаза чтения выполняется также, как при адресном чтении, за исключением того, что после сброса сигнала *DIN* сигнал *SYNC* не сбрасывается. ПРЦ обрабатывает принятые данные и переходит к выполнению фазы записи. Однако, фаза записи начинается только после того, как будет снят сигнал *RPLY*, выставленный при выполнении фазы чтения. Минимальный интервал между снятием сигнала *DIN* и выставлением данных на выводах  $AD(0-I5)$  в фазе записи равен  $3T$ . Чтобы не задерживать выполнение процедуры обмена, нужно сигнал *RPLY* перевести в высокий уровень в пределах этого интервала с учетом двойной привязки. В противном случае данные появятся на  $AD(0-I5)$  через  $I/2T + I/2T$  относительно снятия сигнала *REPLY*. Сигнал  $WTBT$  выдается высоким уровнем в фазе выдачи адреса и в фазе чтения. В фазе записи этот сигнал выдается высоким уровнем в случае записи слова и низким уровнем при записи байта. Состояние сигнала *AR* не влияет на переход от фазы чтения к фазе записи. Сброс этого сигнала влияет только на начало следующего цикла обмена. Так же, как и в процедурах адресного чтения и записи, сигнал *SEL* выдается низким уровнем в фазе выдачи адреса в том случае, когда обмен выполняется с системной (скрытой) памятью.



# Процедура чтение -



$$t_1 - T + [t_{DHL}(CLCO-SYNC) - t_{DHL}(CLCO-AD)]$$

$$t_2 - T + [t_{DHL}(CLCO-SYNC) - t_{DHL}(CLCO-SYNC)]$$

$$t_3 - 1/2 T + [t_{PZH}(CLCO-AD) - t_{DHL}(CLCO-DIN)]$$

$$t_4 - 2 1/2 T + [t_{DHL}(CLCO-D) - t_{PZH}(CLCO-AD)]$$

$$t_5 - T + [t_{DHL}(CLCO-DOUT) - t_{DHL}(CLCO-D)]$$

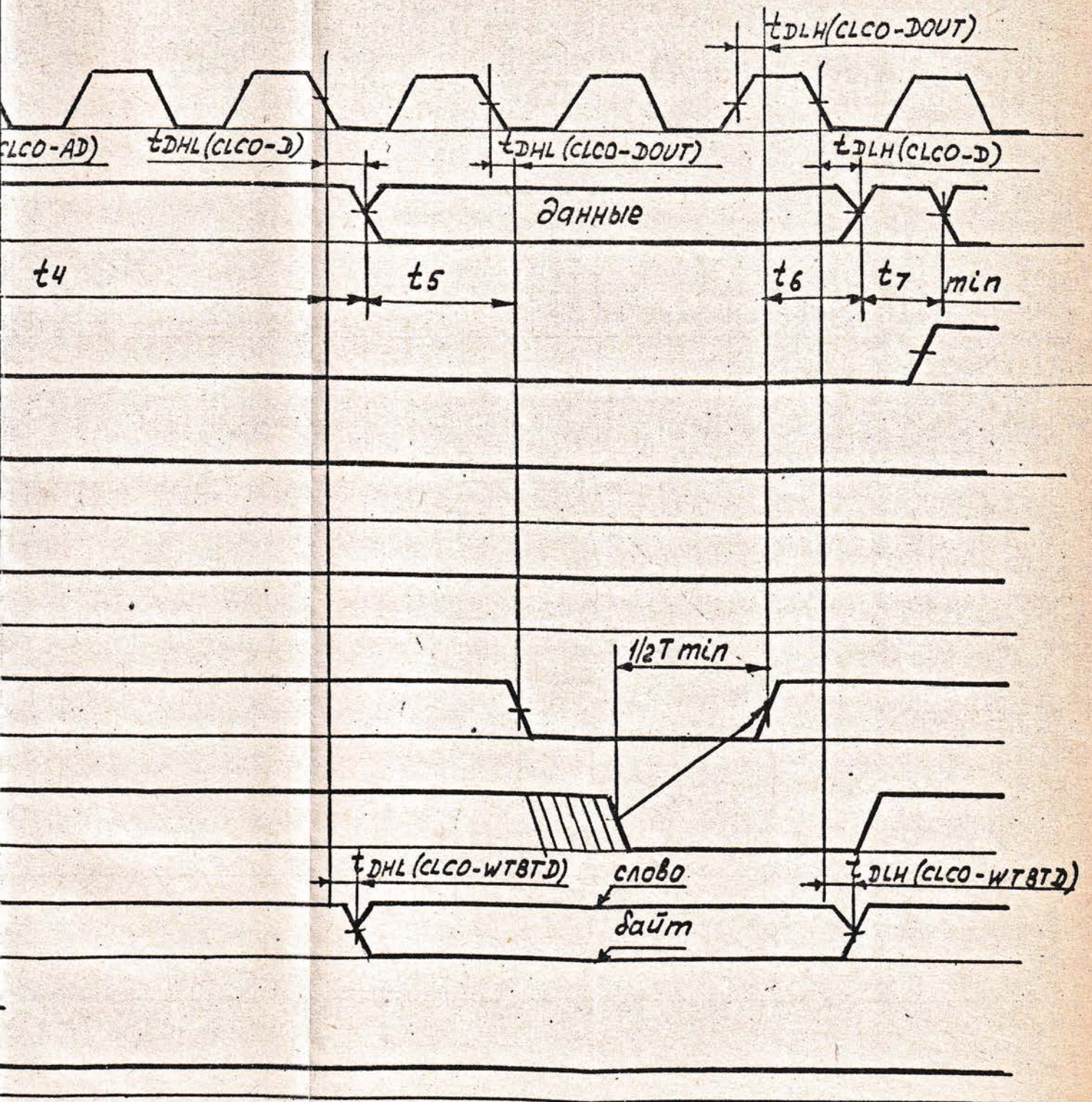
$$t_6 - 1/2 T + [$$

$$t_7 - 1/2 T + [$$

Черт.



# модификация - запись



$$t_{DLH}(CLCO-D) - t_{DLH}(CLCO-DOUT)]$$

$$t_{DLH}(CLCO-AD) - t_{DLH}(CLCO-D)]$$



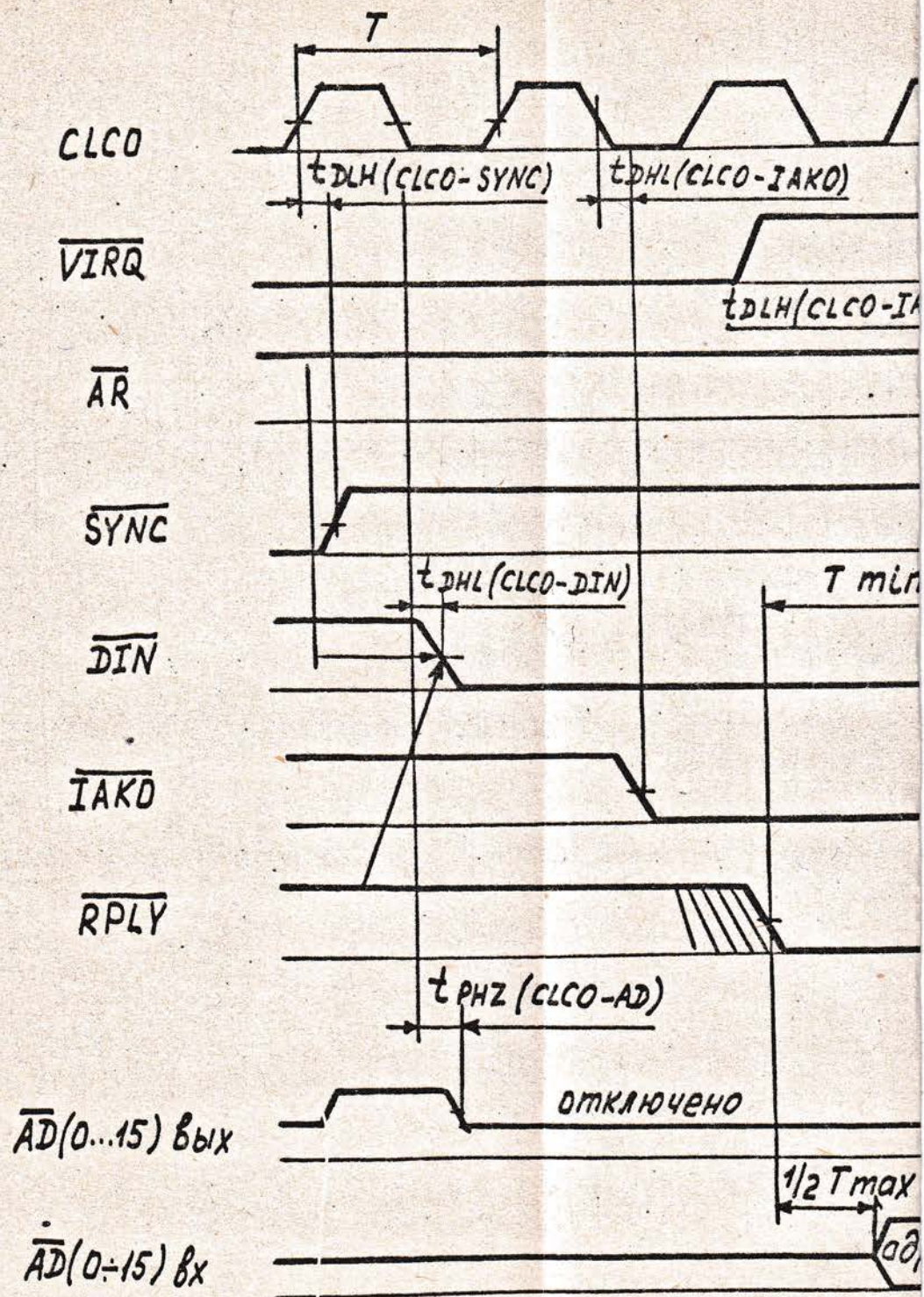
### 3.7. Прием адреса вектора прерывания

В ПРЦ процедура приема адреса вектора прерывания является составной частью обработки векторного прерывания по сигналу *VIRQ*,  
 Временная диаграмма этой процедуры представлена на черт. 15. При поступлении запроса на прерывание на вывод *VIRQ* (низкий уровень) ПРЦ, если прерывание не замаскировано и магистраль свободна, начинает процедуру обработки прерывания. Содержимое счетчика команд и регистра состояния процессора записывается в стек, и ПРЦ начинает чтение адреса вектора прерывания. Условия торможения процедуры приема адреса вектора прерывания также как и при безадресном чтении. Процедура приема адреса вектора прерывания начинается с выставления процессором по низкому уровню сигнала *CLC* сигнала *DIN*. Через 1Т относительно времени выставления сигнала *DIN* по низкому уровню сигнала *CLC* процессор выставляет сигнал разрешения прерывания *IAKQ*. ПРЦ ждет поступления сигнала *RPLY*. Здесь, как и при обычном чтении, отслеживается время поступления *RPLY* относительно выдачи *DIN*. Если это время больше 64Т, ПРЦ переходит к обработке прерывания по зависанию. После получения сигнала *RPLY* ПРЦ выполняет чтение и сбрасывает *DIN*. Требования к выставлению данных относительно *RPLY* и сбросу относительно *DIN* такие же, как при адресном чтении. Сигналы *SYNC*, *WTBT* и *SEL* во время цикла приема адреса вектора прерывания находятся в высоком уровне. Поскольку в этой процедуре не используется сигнал *AR*, время начала следующего цикла обмена определяется временем снятия сигнала *RPLY*. Для того, чтобы интервал между снятием сигнала *DIN* и началом выдачи адреса в следующем цикле обмена был минимальным, нужно сигнал *RPLY* снять не позже, чем через 3Т после снятия сигнала *DIN*.

Сигнал запроса прерывания *VIRQ* нужно снять не ранее появления сигнала *IAKQ* и не позже загрузки нового значения РСН, иначе он воспримется как новый запрос на прерывание.



# Процедура приема адреса



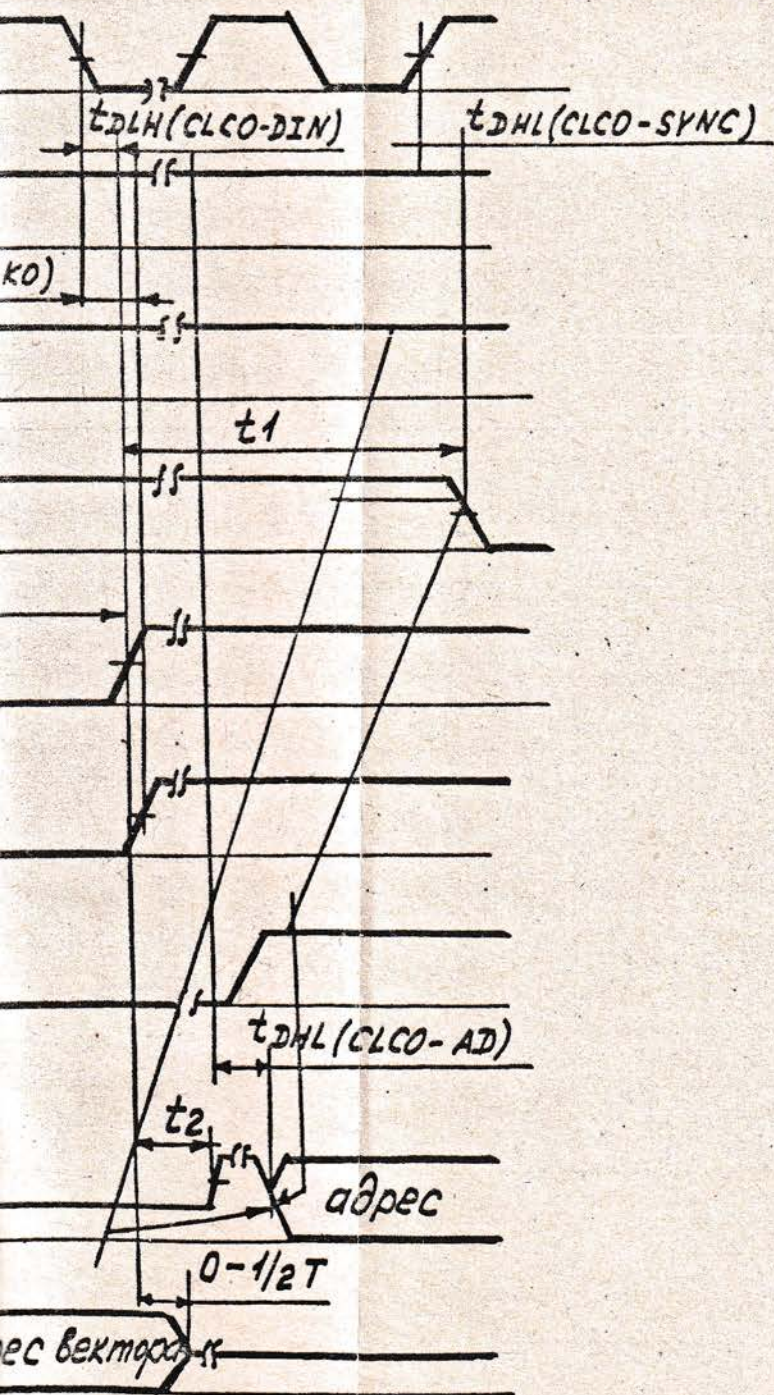
$$t_1 - 4\frac{1}{2}T + [t_{DLH}(CLCO-SYNC) - t_{DLH}(CLCO-DIN)]$$

$$t_2 - \frac{1}{2}T + [t_{PHZ}(CLCO-AD) - t_{DLH}(CLCO-DIN)]$$

Черт. 15



# Вектора прерывания





### 3.8. Предоставление прямого доступа к памяти

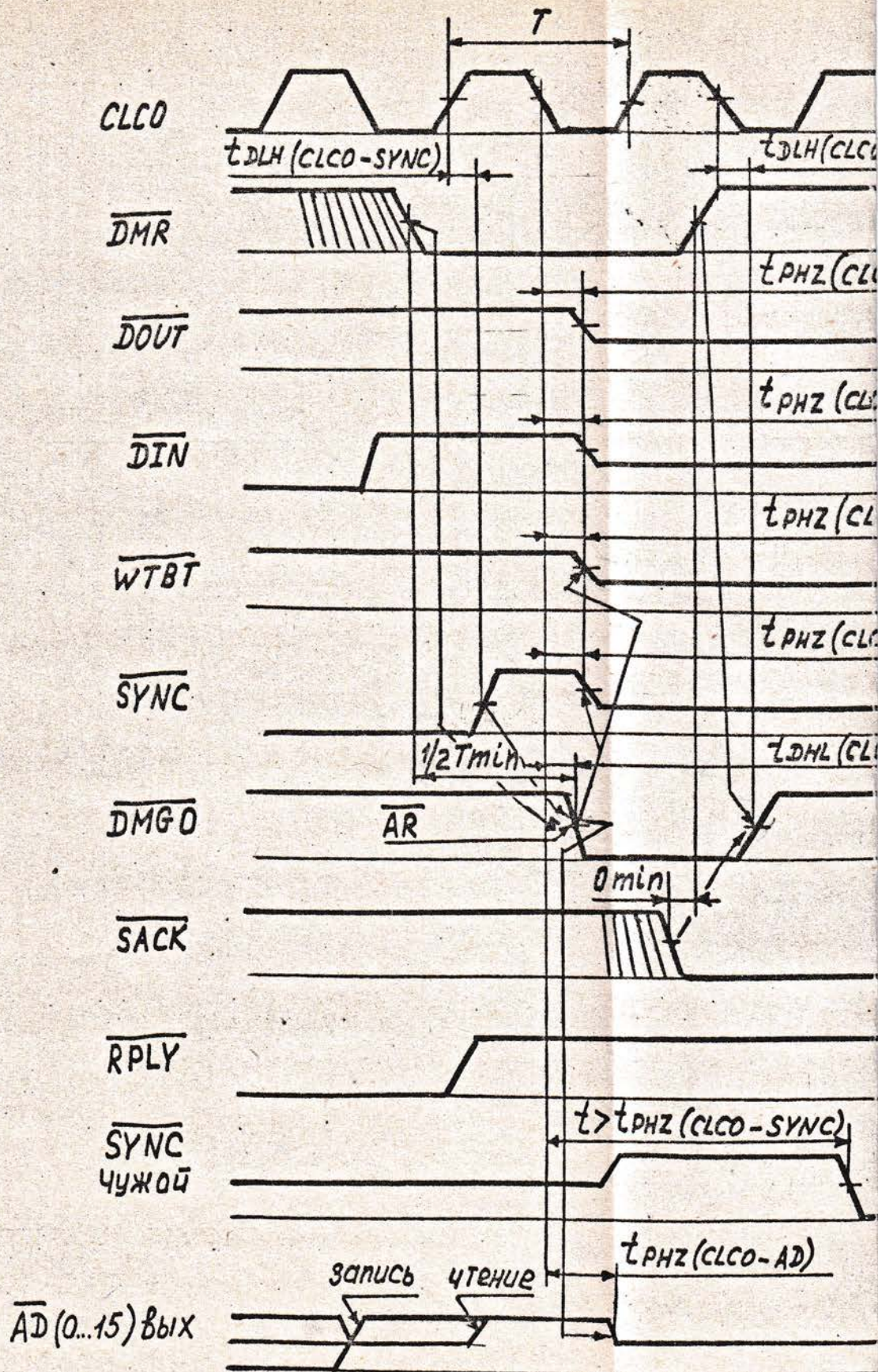
В ПРЦ имеется арбитр прямого доступа к памяти. Разрешение на прямой доступ к памяти может быть представлено после любого цикла обмена ПРЦ по магистрали независимо от его вида, в том числе и во время обработки прерывания. Временная диаграмма представлена на черт. 16. Сигнал запроса на прямой доступ к памяти на выводе *DMR* принимается на ПРЦ в фазе низкого уровня сигнала *CLC*. Сигнал разрешения на прямой доступ выдается на вывод *DMGO* в фазе низкого уровня сигнала *CLC*.

Если ПРЦ не ведет обмен в момент поступления сигнала *DMR*, то через  $I-I\ 1/2T$  после *DMR* по переходу сигнала *CLC* в низкий уровень на выводе *DMGO* будет выставлено разрешение на прямой доступ к памяти. Если ПРЦ к моменту поступления сигнала *DMR* уже начал обмен, т.е. выставил адрес при адресном обмене или сигнал *DIN* при безадресном, то он выполняет его до конца и дает разрешение на прямой доступ после окончания обмена. Сигнал *DMGO* выставляется в этом случае через  $IT$  после снятия сигнала *DIN* в процедуре чтения или через  $I\ 1/2T$  после снятия *DOOT* в процедурах записи и чтения-модификации-записи. После процедуры приема адреса вектора прерывания сигнал *DMGO* будет выставлен максимум через  $I\ 1/2T$  после снятия сигнала *RPLY*. При получении сигнала *DMGO* устройство, запросившее прямой доступ, должно сначала выставить сигнал и затем снять сигнал *DMR*.

ПРЦ снимает сигнал *DMGO* в фазе низкого уровня *CLCO* либо по появлению сигнала *SACK* (переход в низкий уровень) с задержкой  $(0 \div I)T$ , либо по снятию сигнала *DMR* (переход в высокий уровень) с задержкой  $(1/2 + I\ 1/2)T$ . Одновременно с установкой сигнала *DMGO* ПРЦ переводит в отключенное состояние с высоким входным сопротивлением выходы *SYNC*, *DIN*, *DOOT*, *WTBT* и *AD(0-I5)*. Для того, чтобы эти выходы перешли в активное состояние, нужно снять не только сигнал *SACK*, но и *RPLY* и *AR*. О том, что системная магистраль освободи-



# Передача управления магистралью



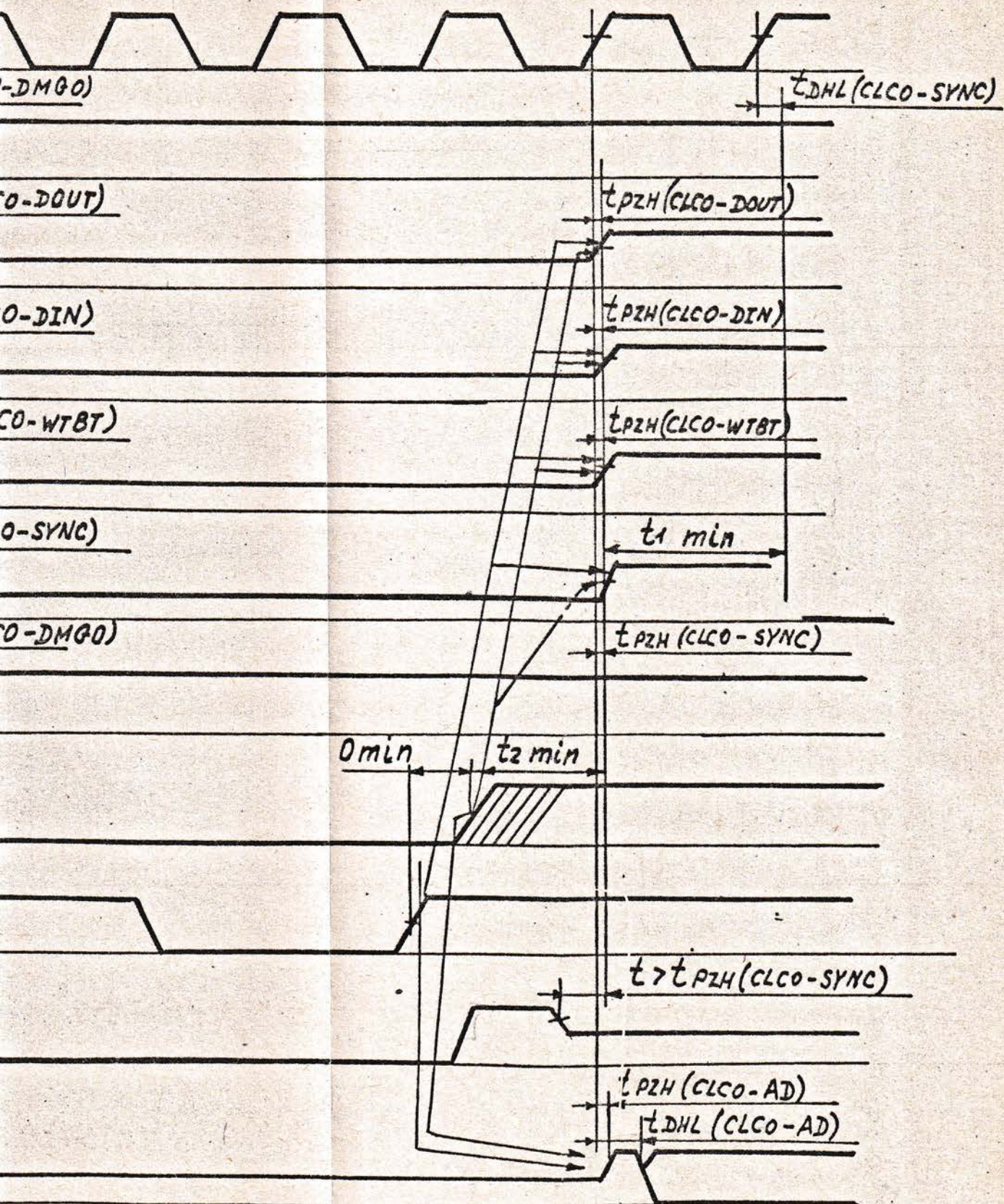
$$t_1 - T + [t_{DLH}(CLCO-SYNC) - t_{PHZ}(CLCO-SYNC)]$$

$$T + [t_{DLH}(CLCO-SYNC) - t_{PHZ}(CLCO-WTBT)]$$

$$t_2 - 1/2T + t_{PHZ}(CLCO-SYNC)$$



по запросу прямого доступа к памяти





лась, устройство, запросившее прямой доступ, должно сообщать при помощи сигналов *SACK*, *AR*, *RPLY*.

После снятия сигналов *SACK*, *AR*, *RPLY* ПРЦ начнет выдачу адреса очередного обмена максимум через  $1\frac{1}{2}T$  после снятия последнего из них.

### 3.9. Захват "видимой" через окно магистрали

Выделение в микропроцессоре 2-х областей адресного пространства под области окон *W0* и *W1* с поддержкой захвата "видимой" через окно магистрали позволяет организовать многопроцессорные системы с локальной памятью.

Область адресов	Окно
I60000-I63777	<i>W0</i>
I64000-I67777	<i>W1</i>

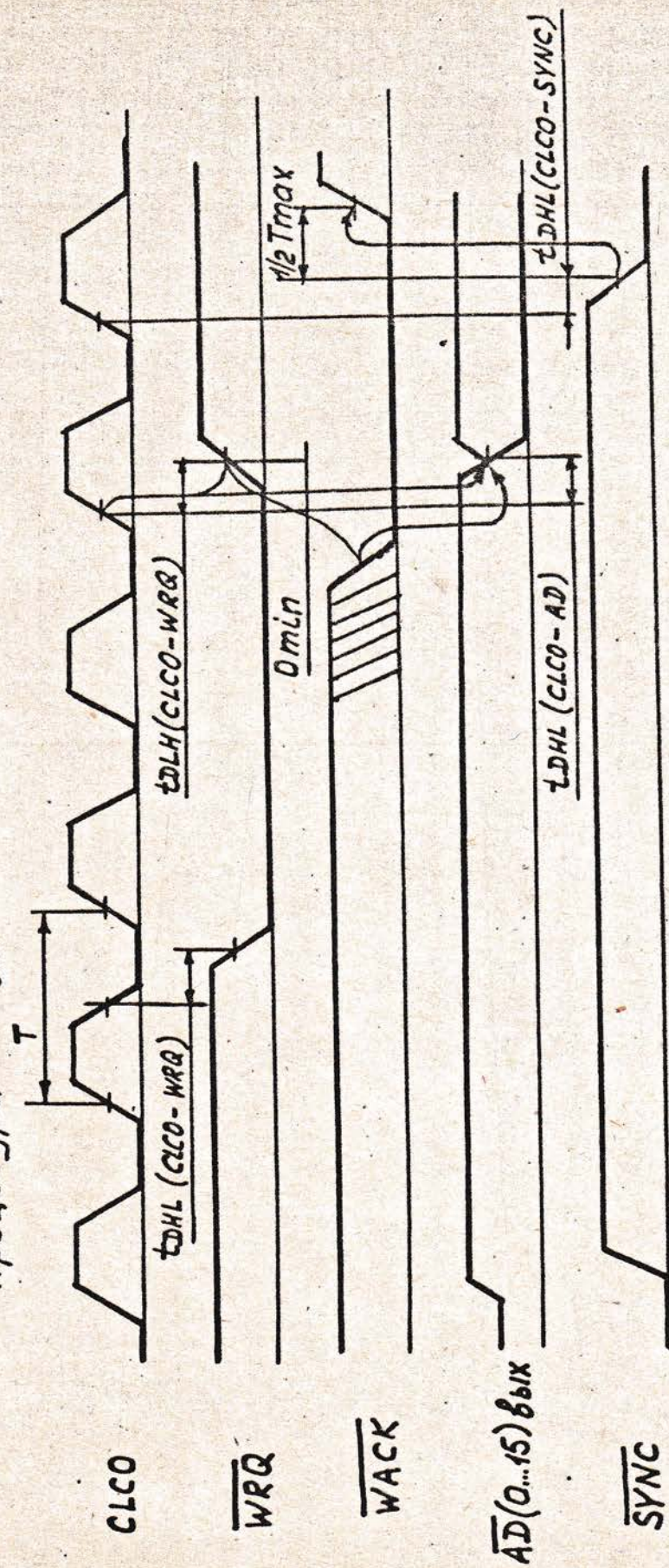
ПРЦ имеет специальные выводы, предназначенные для организации работы с дополнительными магистралями через окна.

Временная диаграмма процедуры захвата дополнительной магистрали приведена на черт. 17.

Если адрес при обмене попадает в интервал из области адресов, отведенных под окна, то ПРЦ прежде, чем начать обмен, выставляет запрос окна *WRQ1* или *WRQ2*. Если окно свободно, то внешняя схема управления окном должна выставить разрешение на захват "видимой" через окно магистрали подачей низкого уровня сигнала *WACK*. Только при получении этого разрешения ПРЦ начинает выполнять цикл обмена. Можно, однако, работать в этой области памяти, как и в остальной. Для этого нужно вывод *WACK* соединить с общей шиной (земля). В этом случае сигналы *WRQ1* и *WRQ2* возникать не будут, и обмены будут выполняться обычным образом. Сигналы *WRQ1* и *WRQ2* выставляются ПРЦ в фазе



# Процедура захвата дополнительной магистрали



Черт. 17



низкого уровня  $CLC$ . Сигнал  $WACK$  принимается ПРЦ в фазе низкого уровня  $CLC$ . Через (0-1)T после появления сигнала  $WACK$  ПРЦ снимет сигналы  $WRQ1$  или  $WRQ2$  в фазе высокого уровня  $CLC$  и начнет выполнение процедуры обмена с дополнительной магистралью при условии окончания предшествующего обмена. Если предшествующий обмен еще не завершен, то обмен с дополнительной магистралью откладывается до его окончания.

Снятие сигнала  $WACK$  должно производиться не позднее чем через  $1/2T$  относительно сигнала  $SYNC$  процедуры обмена с дополнительной магистралью. Сигнал запроса прямого доступа к памяти имеет более высокий приоритет по сравнению с сигналом запроса на захват "видимой" через окно магистрали. С целью защиты памяти магистрали, "видимой" через окно, внешняя схема управления окном должна сформировать на входе  $WIR$  ПРЦ сигнал запроса прерывания от окна (переход в низкий уровень).

### 3.10. Значения времен задержек сигналов системной магистрали

Значения времен задержек сигналов на системной магистрали в процедурах обмена относительно тактового импульса  $CLC$  и сигнала  $AR$  приведены в табл.4.

Таблица 4

Значения времен задержек сигналов на системной магистрали

Обозначение	Наименование	Максимальное значение, мс
1. $t_{DHL}(CLCO - AD)$	Время задержки включения сигнала относительно сигнала $CLCO$ в фазе выдачи адреса	80
2. $t_{DHL}(AR - AD)$	Время задержки выключения сигнала $AD$ относительно сигнала $AR$ в фазе выдачи адреса	80
3. $t_{DHL}(CLCO - AD)$	Время задержки включения сигнала $AD$ относительно сигнала $CLCO$ в фазе выдачи данных	80



Обозначение	Наименование	Максимальное значение, мс
4. $t_{DLH}(CLCO-AD)$	Время задержки выключения сигнала $AD$ относительно сигнала $CLCO$ в фазе выдачи данных	100
5. $t_{PHZ}(CLCO-AD)$	Время задержки включения сигнала $AD$ относительно сигнала $CLCO$ при переходе из состояния высокого уровня в состояние "выключено"	60
6. $t_{PZH}(CLCO-AD)$	Время задержки выключения сигнала $AD$ относительно сигнала $CLCO$ при переходе из состояния "выключено" в состояние высокого уровня	50
7. $t_{DHL}(CLCO-SYNC)$	Время задержки включения сигнала $SYNC$ относительно сигнала $CLCO$	40
8. $t_{DLH}(CLCO-SYNC)$	Время задержки выключения сигнала $SYNC$ относительно сигнала $CLCO$	40
9. $t_{DHL}(CLCO-DIN)$	Время задержки включения сигнала $DIN$ относительно сигнала $CLCO$	50
10. $t_{DLH}(CLCO-DIN)$	Время задержки выключения сигнала $DIN$ относительно сигнала $CLCO$	50
11. $t_{DHL}(CLCO-DOUT)$	Время задержки включения сигнала $DOUT$ относительно сигнала $CLCO$	40
12. $t_{DLH}(CLCO-DOUT)$	Время задержки выключения сигнала $DOUT$ относительно сигнала $CLCO$	50
13. $t_{DHL}(CLCO-WTBT)$	Время задержки включения сигнала $WTBT$ относительно сигнала $CLCO$ в фазе выдачи адреса	60
14. $t_{DLH}(AR-WTBT)$	Время задержки выключения сигнала $WTBT$ относительно сигнала $AR$ в фазе выдачи адреса	80



Обозначение	Наименование	Максимальное значение, мс
15. $t_{DHL}(CLCO-WTBT)$	Время задержки включения сигнала <i>WTBT</i> относительно сигнала <i>CLCO</i> в фазе выдачи данных	40
16. $t_{DLH}(CLCO-WTBT)$	Время задержки выключения сигнала <i>WTBT</i> относительно сигнала <i>CLCO</i> в фазе выдачи данных	60
17. $t_{DHL}(CLCO-SEL)$	Время задержки включения сигнала <i>SEL</i> относительно сигнала <i>CLCO</i>	50
18. $t_{DLH}(CLCO-SEL)$	Время задержки выключения сигнала <i>SEL</i> относительно сигнала <i>CLCO</i>	60
19. $t_{DHL}(CLCO-IAKO)$	Время задержки включения сигнала <i>IAKO</i> относительно сигнала <i>CLCO</i>	40
20. $t_{DLH}(CLCO-IAKO)$	Время задержки выключения сигнала <i>IAKO</i> относительно сигнала <i>CLCO</i>	50
21. $t_{DHL}(CLCO-DMGO)$	Время задержки включения сигнала <i>DMGO</i> относительно сигнала <i>CLCO</i>	40
22. $t_{DLH}(CLCO-DMGO)$	Время задержки выключения сигнала <i>DMGO</i> относительно сигнала <i>CLCO</i>	40
23. $t_{pHZ}(CLCO-SYNC)$	Время задержки включения сигнала <i>SYNC</i> относительно сигнала <i>CLCO</i> при переходе из состояния высокого уровня в состояние "выключено"	50
24. $t_{pZH}(CLCO-SYNC)$	Время задержки выключения сигнала <i>SYNC</i> относительно сигнала <i>CLCO</i> при переходе из состояния "выключено" в состояние "высокого уровня"	50
25. $t_{pHZ}(CLCO-DIN)$	Время задержки включения сигнала <i>DIN</i> относительно сигнала <i>CLCO</i> при переходе из состояния высокого уровня в состояние "выключено"	50



Обозначение	Наименование	Максимальное значение, мс
26. $t_{pzh}(CLCO-DIN)$	Время задержки выключения сигнала $DIN$ относительно сигнала $CLCO$ при переходе из состояния "Выключено" в состояние высокого уровня	50
27. $t_{pzh}(CLCO-DOUT)$	Время задержки включения сигнала $DOUT$ относительно сигнала $CLCO$ при переходе из состояния высокого уровня в состояние "Выключено"	50
28. $t_{pzh}(CLCO-DOUT)$	Время задержки выключения сигнала $DOUT$ относительно сигнала $CLCO$ при переходе из состояния "Выключено" в состояние высокого уровня	50
29. $t_{pzh}(CLCO-WTBT)$	Время задержки включения сигнала $WTBT$ относительно сигнала $CLCO$ при переходе из состояния высокого уровня в состояние "Выключено"	50
30. $t_{pzh}(CLCO-WTBT)$	Время задержки выключения сигнала $WTBT$ относительно сигнала $CLCO$ при переходе из состояния "Выключено" в состояние высокого уровня	50
31. $t_{DLH}(CLCO-WRQ)$	Время задержки включения сигналов $WRQ1$ и $WRQ2$ относительно сигнала $CLCO$	80
32. $t_{DLH}(CLCO-WRQ)$	Время задержки выключения сигналов $WRQ1$ и $WRQ2$ относительно сигнала $CLCO$	



#### 4. ИНИЦИИРОВАНИЕ ПРЦ

4.1. Для инициирования кристалла ПРЦ требуется одновременно с появлением напряжения питания (+5В) сформировать определенную последовательность сигналов: авария источника питания ( $DCLO$ ) и авария сетевого питания ( $ACLO$ ). Диаграмма сигналов приведена на черт. 18.

Первая фаза - фаза начальной установки кристалла, во время которой происходит сброс в исходное состояние блоков управления ПРЦ; ПРЦ выставляет сигнал низкого уровня на вывод "INIT". Фаза длится от подачи питающего напряжения +5В до снятия сигнала  $DCLO$ .

Вторая фаза - фаза ожидания снятия сигнала аварии сетевого питания. Фаза длится от снятия сигнала  $DCLO$  до снятия сигнала  $ACLO$ . По снятию сигнала  $DCLO$  ПРЦ выставляет высокий уровень на вывод "INIT".

Третья фаза - работа микропрограммы инициализации.

4.2. После снятия сигнала  $ACLO$  процессор выполняет следующую последовательность микрокоманд:

1) считывает данные с внешнего регистра по процедуре безадресного чтения ( $SEL$ );

2) формирует адрес вектора начального пуска

$ABП(15:8) := SEL(15:8); (7:0) - \text{всегда } 0$

$ABП(7:0) := 0;$

3) загружает счетчик команд значением ячейки памяти по адресу вектора начального пуска

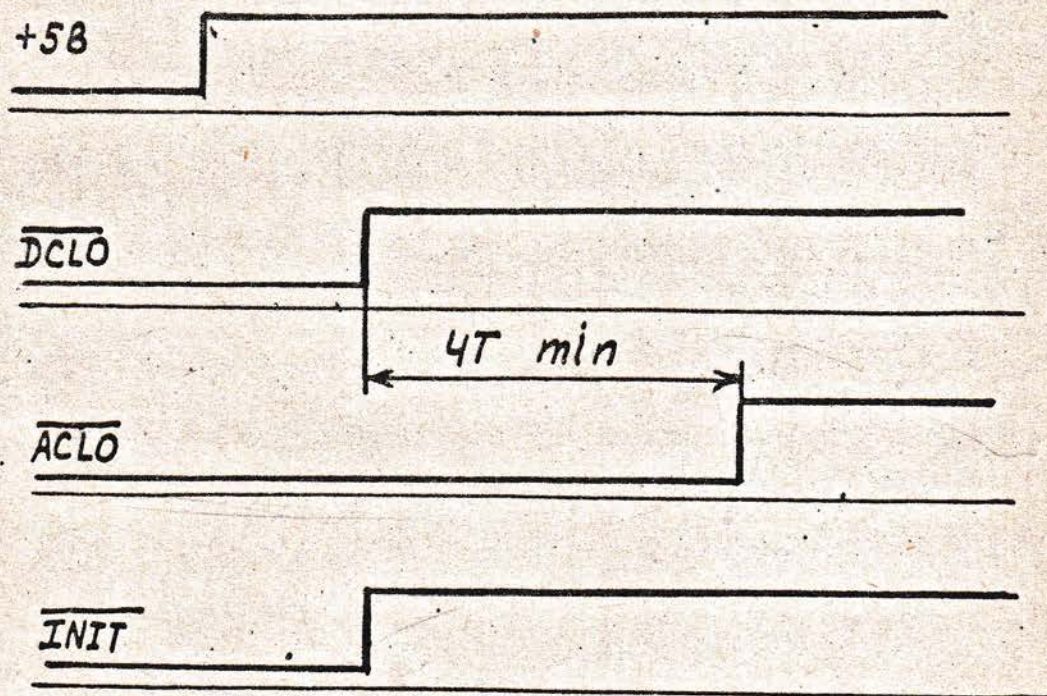
$R7: (ABП);$

4. загружает регистр состояния процессора значением ячейки памяти по адресу вектора начального пуска плюс 2

$PCП := (ABП + 2);$



Диаграмма сигналов  $\overline{DCLO}$  и  $\overline{ACLO}$   
при включении питания



Черт. 18



- 5) анализирует состояние источников прерывания;
- 6) если возникла ситуация разрешенного прерывания, то процессор переходит на выполнение микропрограммы обработки прерывания;
- 7) если прерываний нет или они замаскированы, то процессор переходит к загрузке кодов команд и их выполнению.

## 5. СЛОВО СОСТОЯНИЯ ПРОЦЕССОРА

5.1. Слово состояния процессора (ССП), хранящееся в регистре состояний (РСП), содержит информацию о текущем приоритете ПРЦ, значениях кодов условий ветвления, зависящих от результата выполнения команды, и о состоянии Т-разряда, используемого для прерывания программ при отладке. Формат ССП представлен на черт. 19. Разряд приоритета ПРЦ (7-й разряд ССП) может находиться в состоянии "0" или "1". В последнем случае внешние устройства не могут вызвать прерывание текущей команды. Для удовлетворения требований прерывания программы разряд 7 ССП должен быть равен "0".

Коды условий ветвления содержат информацию о признаках состояний ПРЦ, выработанных при выполнении последней команды. Процедуру установки их в соответствующее значение выполняют все арифметические и логические команды. Установка отдельных разрядов этих кодов выполняется в следующих случаях:

$Z = 1$ , если результат равен 0;

$N = 1$ , если результат отрицателен;

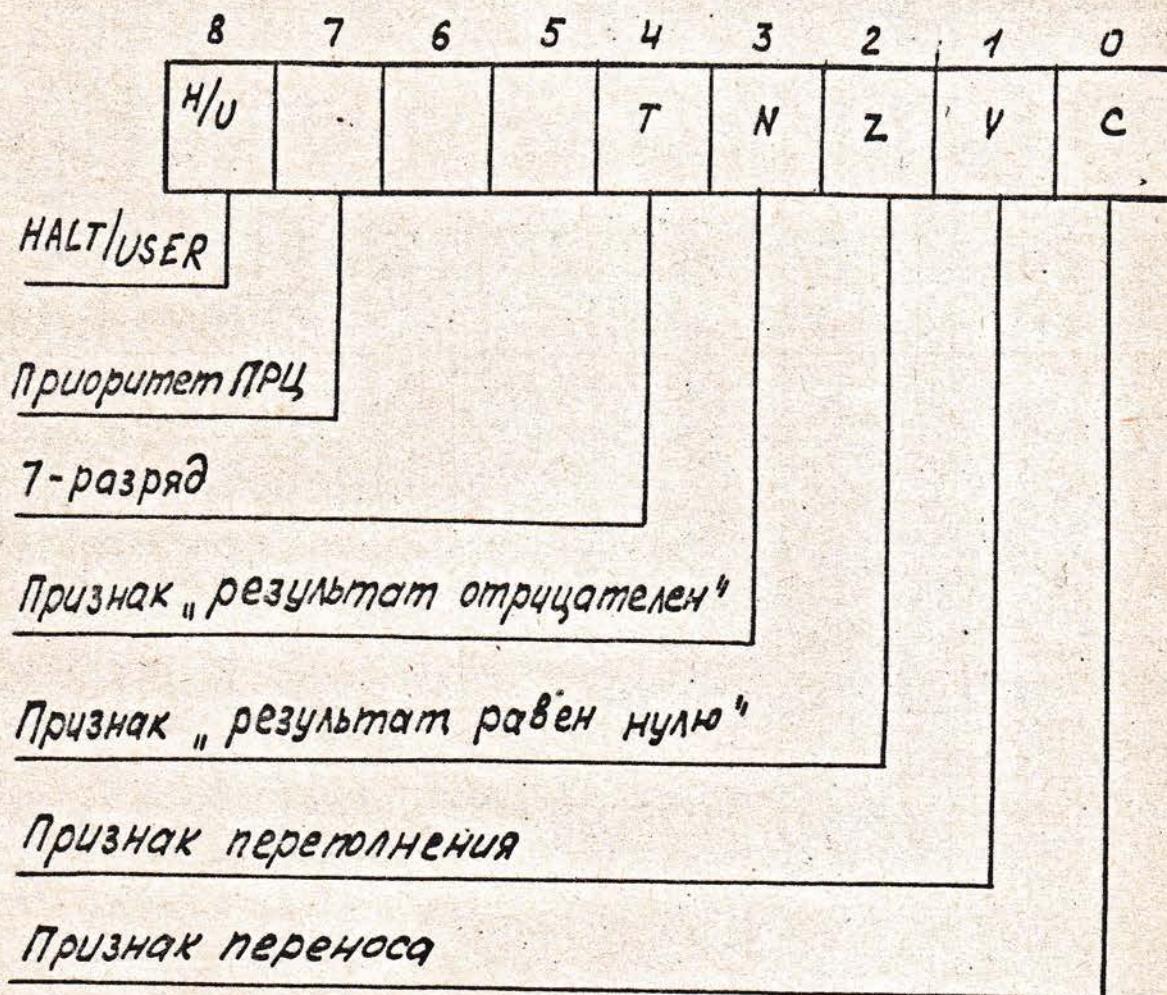
$C = 1$ , если в результате выполнения команды произошел перенос из самого старшего разряда, или, если при сдвиге вправо или влево из самого младшего или самого старшего разряда была выдвинута единица;

$V = 1$ , если в результате выполнения операции произошло арифметическое переполнение.

При переписи ССП может устанавливаться или очищаться Т-разряд.



# Формат ссп



Черт. 19



Если он установлен, то по завершении выполнения текущей команды будет вызвано прерывание программы с адресом вектора прерывания - I4. Использование Т-разряда особенно эффективно в отладочных программах для организации такого режима выполнения отлаживаемой программы, когда исполнение интересующих пользователя команд вызывает прерывание программы и переход на программу связи с оператором. Это дает возможность пользователю предпринять необходимые действия.

Для обеспечения особых условий выполнения программ обработки фатальных состояний и реализации директив пульта терминала в процессоре введен особый режим выполнения программ - "HALT" (в отличие от обычного режима выполнения программ USER). Признаком нахождения процессора в режиме HALT является значение 8-го разряда РСЦ, равное единице.

РСЦ(8)	Режим
0	USER
1	HALT

Переключение режимов процессора во время загрузки РСЦ и приведено в табл.5.

Таблица 5

Переключение режимов процессора во время загрузки РСЦ

Команда, прерывание	РСЦ
MTPS	РСЦ (7:5, 3:0) - загружаются
	РСЦ (4) - сохраняется
	РСЦ (8) - сохраняется
RTI, RTT	РСЦ (7:0) - загружаются
	РСЦ (8) - сохраняется если разряды нового СК (I5:I3) $\neq$ III, иначе загружается



Команда, прерывание	Р С П
TRAP, IOT, EMT, прерывания	РСП (7:0) - загружаются РСП (8) - обнуляется
Включение питания, фатальные состояния, HALT, шаг, пуск	РСП (8:0) - загружаются

Для разделения адресного пространства режимов *USER* и *HALT* в процессоре введен 17 разряд адреса, отражающий состояние РСП(8). В режиме *HALT* во время выдачи адреса на магистраль на выводе *SEL* появляется активный сигнал, сообщающий об обращении к адресному пространству режима *HALT*.

В ситуации включения питания, фатальных состояний или выполнения команды *HALT* (обработки сигнала *HALT*) после загрузки текущих значений СК и РСП в регистры копии процессора происходит принудительная установка режима *HALT* (РСП(8) устанавливается в "1") для того, чтобы можно было провести загрузку новых значений СК и РСП из адресного пространства режима *HALT*. Однако, окончательно режим работы процессора в этом случае будет определяться загружаемым значением РСП(8) из памяти по адресу вектора.

## 6. ОПИСАНИЕ СИСТЕМЫ КОМАНД

6.1. Система команд и методы адресации по ОСТ II 305.909-82.

Состав команд ПРЦ приводится в обязательном приложении .

6.2. Группа кодов команд обработки данных в формате с плавающей

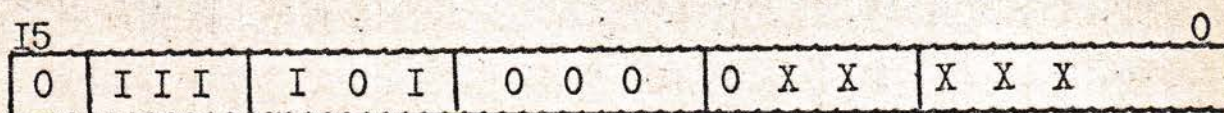


запятой условно рассматривается процессором либо как резервный код,  
либо как специальное командное прерывание.

Кроме этого, в режиме процессора "HALT" выполняется специальная группа команд этого режима.

6.3. Реакция процессора на загрузку в регистр команд кодов команд обработки данных в формате с плавающей запятой (FADD, FSUB, FMUL, FDIV).

Формат этой группы кодов:



Процессор выполняет микропрограмму, состоящую из следующих шагов:

1) по процедуре безадресного чтения считывается внешний регистр (SEL) и анализируется значение 7-го разряда;

2) если  $SEL(7)=I$ , то начинает выполняться микропрограмма обработки прерывания по резервному коду,

если  $SEL(7)=0$ , то начинается микропрограмма перехода процессора в режим **HALT** с адресом вектора, формируемым следующим образом:

$$ABП(I5:8) = SEL(I5:8)$$

ABH(7:0 = 00001000

#### 6.4. Специальная группа команд режима "HALT".

Эта группа команд выполняется только при  $РСП(8)=I$ .

Если  $PCP(8)=0$ , то эта группа кодов рассматривается как резервные коды:

Добавление специальной группы команд режима "HALT" связано с принятой организацией построения консольной системы (пультового терминала). Основные принципы этой организации включают:

программную реализацию директив консоли, с хранением программы в ПЗУ;

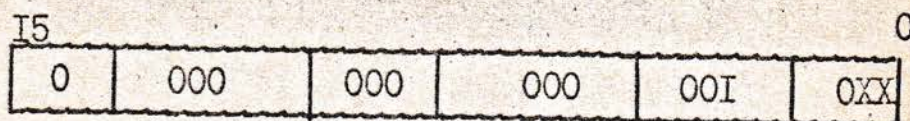
использование для ввода/вывода стандартного терминального устройства; .



расположение программ диалога пультного терминала с специальной области "HALT", не пересекающейся с основной программной областью процессора.

#### 6.4.1. Команда ПУСК

000010-000013



Действие: СК ← КРСК

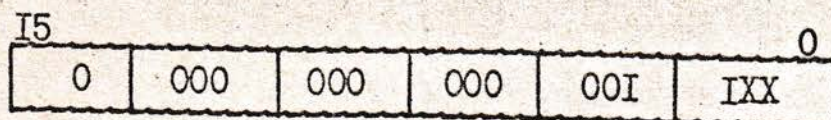
РСЦ(8:0) ← КРСЦ(8:0)

Описание: значения регистров копий пересылаются в СК и РСЦ.

Если нет запросов на прерывание, то начинается загрузка кодов команд и выполнение программы. Команда используется для переключения процессора из режима "HALT" в режим "USER" и одновременного выполнения директивы пуска программы пользователя.

#### 6.4.2. Команда ШАГ

000014-000017



Действие: СК ← КРСК

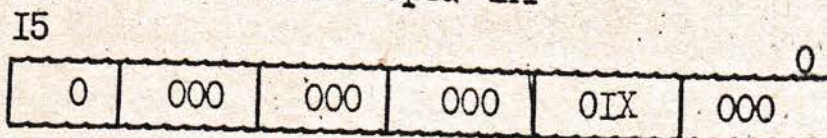
РСЦ(8:0) ← КРСЦ(8:0)

Описание: значения регистров копий пересылаются в СК и РСЦ.

Затем, в отличие от команды "ПУСК", безусловно передается управление I-ой команде, загруженной по новому значению СК. Команда используется при выполнении директивы "ШАГ" пультного терминала.

#### 6.4.3. Команда: чтение порта ЧПТ

000020, 000030



Действие: R0 ← (SEL)

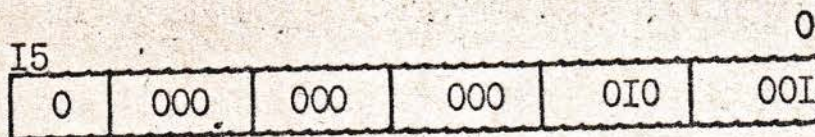
Описание: регистр R0 загружается значением внешнего регистра(SEL)



по процедуре безадресного чтения. В программе пультового терминала команда используется для выбора вариантов запуска процессора с различных внешних устройств по включению питания,

6.4.4. Команда: чтение чужого пространства ЧЧП

000021

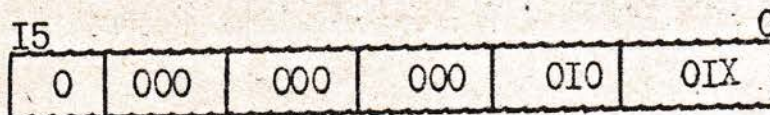


Действие:  $R0 \leftarrow (R5) +$

Описание: регистр R0 загружается значением ячейки памяти из адресного пространства режима "USER" по адресу, равному значению R5, R5 затем инкрементируется на 2. Эта команда используется при реализации директивы чтения ячеек памяти основного программного пространства.

6.4.5. Команда: чтения копии СК:ЧКСК:

000022, 000023

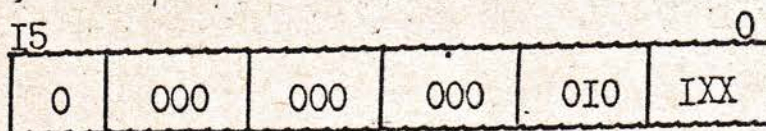


Действие:  $R0 \leftarrow KPSK$

Описание: значение регистра копии СК загружается в регистр R0. Команда используется для отображения на экране дисплея значения СК в момент перехода в пультовой режим.

6.4.6. Команда: чтение копии РСП ЧКСРП

000024-000027

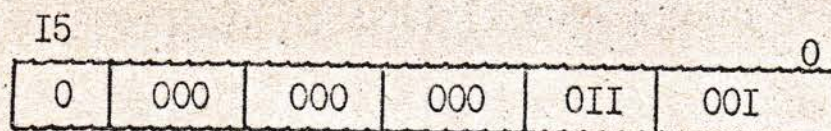


Действие:  $R0 \leftarrow KPSR$

Описание: значение регистра копии РСРП загружается в регистр R0. Команда используется для реализации директивы чтения РСРП.



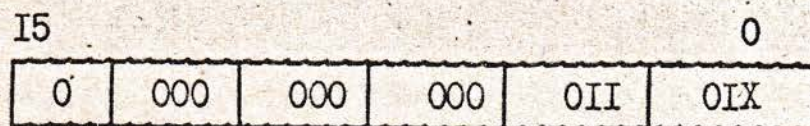
6.4.7. Команда: запись в чужое пространство ЗПЧ 000031



Действие: R0 → (R5)

Описание: значение регистра R0 пересылается в ячейку памяти адресного пространства режима "USER" по адресу, равному значению R5 с предварительным декрементом на 2. Команда используется для реализации директивы записи в ячейку памяти основного программного пространства процессора.

6.4.8. Команда: запись в копию СК: ЗКСК 000032, 000033

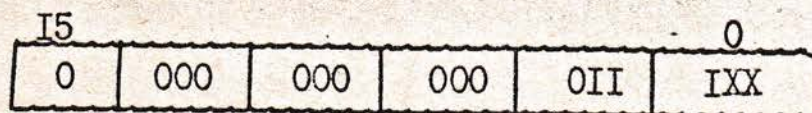


Действие: R0 → КРСК

Описание: значение регистра R0 загружается в регистр копии СК.

Команда используется для выполнения директивы записи в СК для последующего пуска программы пользователя.

6.4.9. Команда: запись в копию РСП: ЗКСР 000034-000033



Действие: R0 → КРСР

Описание: значение регистра R0 загружается в регистр копии РСР.

Команда используется для выполнения директивы записи в РСР для последующего пуска программы пользователя.



## 7. ПРЕРЫВАНИЕ ПРОЦЕССОРА

7.1. При возникновении условий прерывания ПРЦ микропрограммно выполняет первоначальную фазу переключения процессов, включающую сохранение вектора состояния прерываемого процесса и загрузку вектора состояния прерывающего процесса. Дальнейшее переключение процессов выполняется на программном уровне. Компонентами вектора состояния процесса являются значения счетчика команд и слова состояния ПРЦ. В дальнейшем вектор состояния прерывающего процесса будем называть вектором прерывания, а вектор состояния прерываемого процесса будем называть вектором текущего процесса.

7.2. Сохранение значения вектора текущего процесса ПРЦ выполняет либо в области стека, либо в регистрах процессора.

7.3. Загрузку значения вектора прерывания (значений счетчика команд и слова состояния ПРЦ) ПРЦ выполняет из пары ячеек внешнего ОЗУ или ПЗУ. Адрес вектора прерывания (указатель пары ячеек внешней памяти) формируется в ПРЦ в соответствии с конкретным запросом прерывания. Адрес вектора прерывания является адресом ячейки памяти, содержащей значение счетчика команд. Адрес вектора прерывания, увеличенный на два, является адресом ячейки памяти, содержащей значения слова состояния ПРЦ.

7.4. Прерывание текущего процесса в ПРЦ обычно допускается в конце выполнения команд. Только зависание может прервать выполнение команды на любой фазе её выполнения.

7.5. Источниками прерывания ПРЦ являются:

резервный код в регистре команд;

запрещенный код в регистре команд;

зависание в канале;

T-разряд в ССП;

низкий уровень сигнала на любом из выводов *HALT* или *VIRQ*;

переход уровня сигнала из высокого в низкий на любом из выводов *ACLO*, *EVNT*, *WIR*.



15

7.6. Прерывание по резервной команде — это прерывание, вызываемое при попытке выполнить команды, коды которых в данном ПРЦ не используются и зарезервированы для дальнейших расширений системы команд.

7.7. При попытке выполнить команды с неправильно заданными методами адресации (запрещенные команды) происходит прерывание. Запрещенными командами являются команды *JMP* и *JSR* с регистровыми методами адресации.

7.8. Прерывание по зависанию в канале возникает при попытке обращения по адресу несуществующей ячейки памяти или регистра внешнего устройства.

ПРЦ фиксирует ситуацию зависания в случае отсутствия переднего фронта сигнала *RPLY* в течение 64 периодов тактовой частоты с момента выдачи ПРЦ сигналов *DIN* или *DOUT*.

7.9. Прерывание по Т-разряду вызывается при установке 4-го разряда ССП. Обычно это прерывание используется для отладки программ. Установка и очистка Т-разряда возможна только при выполнении команд *RTT*, *RTI*, *ШАГ* и *ПУСК* и при загрузке вектора прерывания. Если Т-разряд устанавливается при загрузке вектора прерывания, прерывание по Т-разряду произойдет до выполнения первой команды нового процесса. Команда, выполняющаяся с установленным Т-разрядом в ССП (прослеживаемая команда), будет выполняться до конца, затем произойдет прерывание.

7.9.1. Особые случаи прерывания по Т-разряду в зависимости от типа прослеживаемой команды:

1) Прослеживаемая команда *RTI* или *RTT* очищает Т-разряд. После выполнения команды все же произойдет прерывание по Т-разряду. Однако, в стеке сохранится значение слова состояния ПРЦ с очищенным Т-разрядом.

2) Прослеживаемая команда *ШАГ* или *ПУСК* очищает Т-разряд. После выполнения команды прерывания по Т-разряду не произойдет.



3) Прослеживаемая команда ШАГ или RTT устанавливает Т-разряд. Прерывание по Т-разряду произойдет после выполнения следующей за RTT или ШАГ команды.

4) Прослеживаемая команда RTI или ПУСК устанавливает Т-разряд. После выполнения команды произойдет прерывание по Т-разряду.

5) Прослеживаемая команда - команда прерывания или HALT очищает Т-разряд. Прерывание по Т-разряду не произойдет.

6) Прослеживаемая команда - команда прерывания или HALT устанавливает Т-разряд. После выполнения команды произойдет прерывание по Т-разряду.

7) В ходе выполнения или выборки прослеживаемой команды произошло зависание. При загрузке нового значения ССН Т-разряд очищается. Прерывание по Т-разряду не произойдет.

8) Прослеживаемая команда - WAIT. Прерывание по Т-разряду не произойдет. Т-разряд игнорируется. ПРЦ ожидает незамаскированного им прерывания.

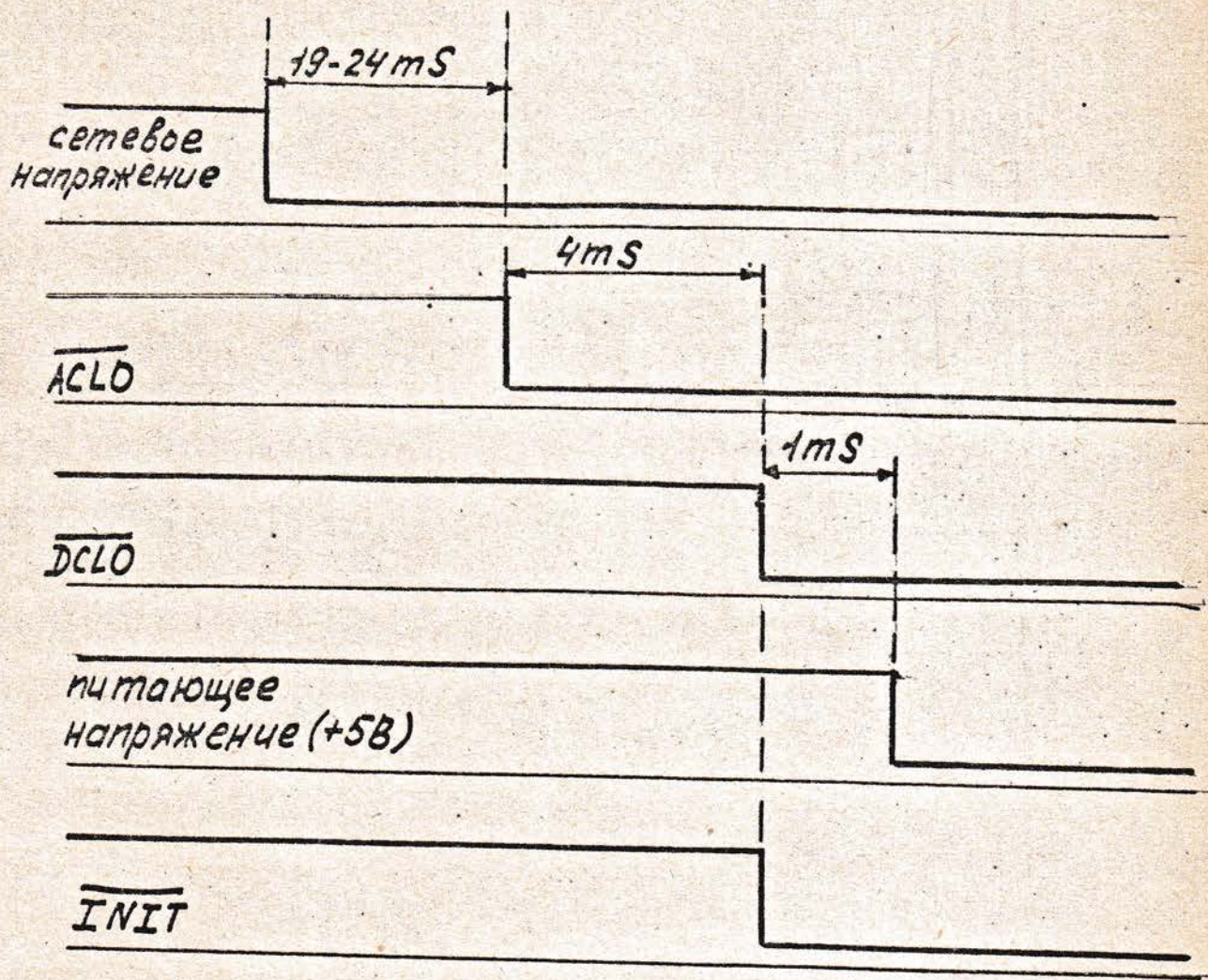
#### 7.10. Поведение ПРЦ при сбое питания

При снижении сетевого питания за пределы допустимого уровня аппаратура блока питания системы, в которую входит ПРЦ, должна обеспечить определенную последовательность сигналов аварии сетевого питания (ACLO) и аварии источника питания (DCLO). Диаграмма сигналов при сбое питания представлена на черт. 20.

При переходе уровня сигнала ACLO из высокого в низкий в ПРЦ формируется запрос на прерывание по сбою питания. По завершении выполнения текущей команды ПРЦ прерывается и переходит на выполнение программы обработки сбоя питания. Содержание этой программы зависит от требований системы. Работе этой программы отведено время до появления низкого уровня сигнала DCLO. Значение этого времени зависит от устройства блока питания и обычно составляет 4 мс. После появления низкого уровня сигнала DCLO ПРЦ обрывает выполнение каких-либо операций и выдает низкий уровень сигнала INIT.



Диаграмма сигналов АСЛО и DCLO  
при сбросе питания



Черт. 20



7.11. Микропрограммная процедура прерывания ПРЦ разделяется на две фазы:

первая фаза - сохранение значения вектора текущего процесса. При сохранении вектора в стеке происходит запись в память по указателю стека (R6) с предварительным декрементом. Сначала записывается значение слова состояния ПРЦ, затем счетчика команд.

Вторая фаза - загрузка значения вектора прерывания.

1) ПРЦ формирует значение адреса вектора прерывания в соответствии с выбранным по приоритету запросом на прерывание (в случае обслуживания запроса по сигналу "VIRQ" происходит прием адреса вектора прерывания (АВП) по специальной процедуре канала;

2) счетчик команд загружается значением ячейки памяти по адресу АВП:

$$СК := (АВП)$$

3) регистр состояния процессора загружается значением ячейки памяти по адресу АВП+2:

$$РСЦ(7: \Phi) := (АВП+2)$$

4) сброс внутри ПРЦ обслуженного запроса на прерывание;

5) анализ состояния запросов на прерывание;

6) если незамаскированных (разрядами 8 и 7 нового РСЦ) запросов нет, то происходит чтение первой команды нового процесса. Иначе снова происходит процедура прерывания.

Основная условная схема процедуры прерывания представлена на черт. 21

7.12. Очередность обслуживания прерываний в случае одновременного появления нескольких запросов определяется приоритетностью прерываний и состоянием 8 и 7 разрядов нового РСЦ из вектора прерывания, которые управляют маскированием запросов на прерывание. Все источники прерываний по приоритетности между собой (в случае одновременного появления нескольких запросов) образуют следующую иерархию:

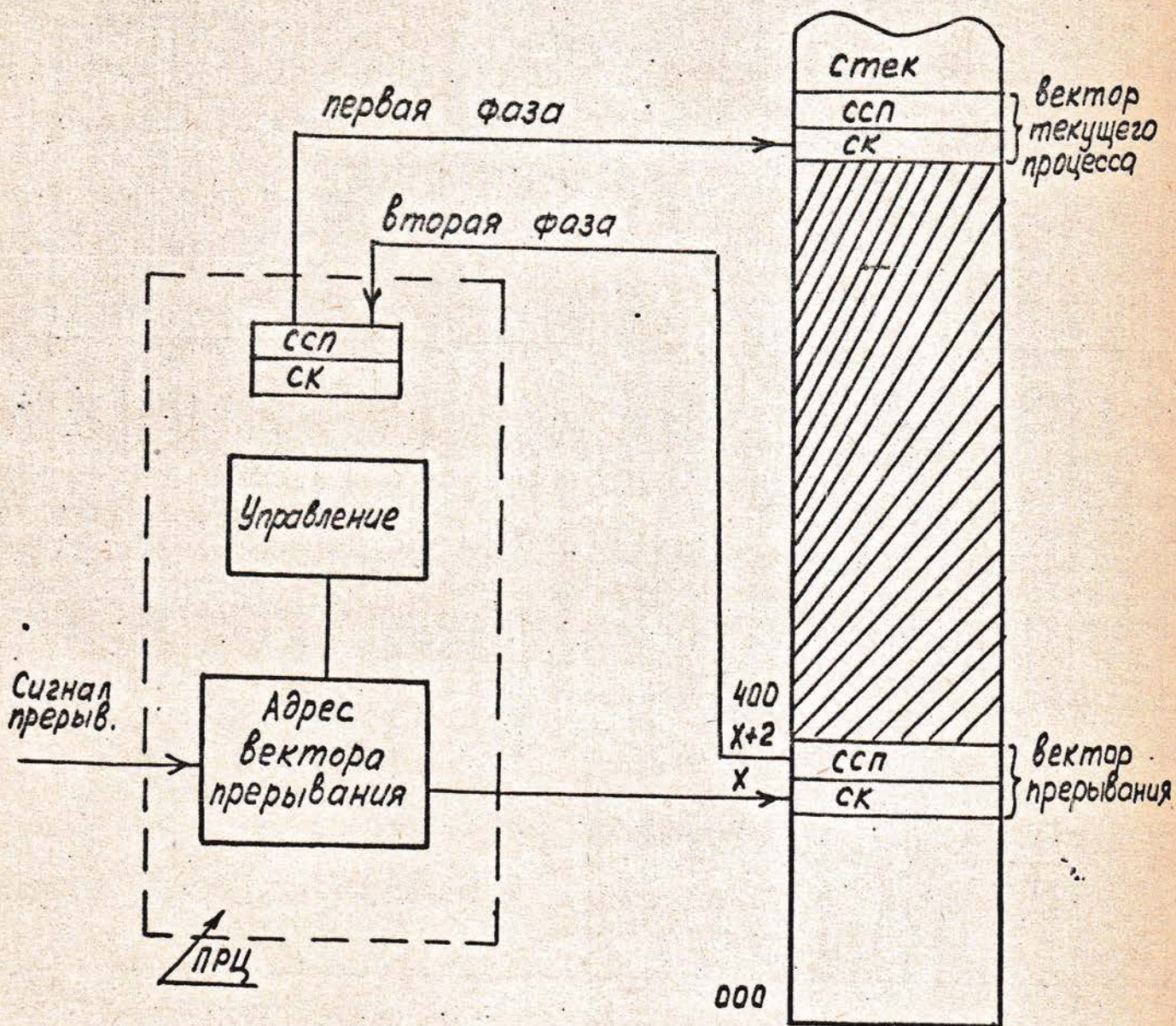
1) зависание;

2) резервный или запрещенный код в регистре команд;

3) сигнал прерывания WTR.



# Условная схема процедуры прерывания



Черт. 21



- 4) Т-разряд в слове состояния ПРЦ;
- 5) сигнал аварии сетевого питания *ACLO* ;
- 6) сигнал прерывания *HALT* ;
- 7) сигнал прерывания *EVNT*;
- 8) сигнал прерывания *VIRQ* .

Маскирование запросов на прерывание приведено в табл.6.

Таблица 6

Маскирование запросов на прерывание

Разряды РСН		Маскируются прерывания
8	7	
0	0	Нет
0	1	<i>EVNT, VIRQ</i>
1	0	<i>HALT</i>
1	1	<i>HALT, ACLO, EVNT, VIRQ</i>

7.13. В системе, использующей ПРЦ, могут возникать условия прерывания, обработка которых не предусмотрена стандартным математическим обеспечением. К таким условиям (фатальным состояниям) относятся: двойное зависание и зависание при приеме вектора прерывания из канала.

Ситуацию двойного зависания ПРЦ фиксирует в случае зависания в канале во время выполнения микропрограммной процедуры прерывания, вызванной зависанием при передаче данных по каналу. Процедура прерывания в этом случае отличается от обычной. В этом случае, как и при обработке прерывания "*HALT*" или команды "*HALT*", процессор выполняет действия перехода в режим "*HALT*":



1) по процедуре безадресного чтения читается внешний регистр (SEL);

2) формируется значение адреса вектора прерывания:

АВП(15:8) = SEL (15:8);

АВП(7:0) - формируется в зависимости от причины прерывания;

3) устанавливается режим HALT:

РСП(8):=1;

4) счетчик команд загружается значением ячейки памяти по адресу АВП:

СК:=(АВП);

5) регистр состояния процессора загружается значением ячейки памяти по адресу АВП+2:

РСП(8:0):=(АВП+2).

7.14. Значения адресов векторов прерывания приведены в табл.7.

7.15. КСК и КРСП - регистры копий СК и РСП. В режиме USER в этих регистрах во время выполнения  $i$ -ой команды сохраняются значения СК и РСП от  $i-1$  команды. Смена информации в этих регистрах происходит в конце нормального окончания  $i$ -ой команды. При переключении процессора из режима USER в режим HALT и установленном в единицу РСП(7) происходит блокировка смены значений этих регистров до момента или переключения в режим USER или сбросе РСП(7).

7.16. Прерывание по сигналу WIR

Прерывание по сигналу WIR - высокоприоритетное немаскируемое прерывание, которое фиксируется ПРЦ при переходе сигнала из высокого в низкий уровень. Обработка прерывания осуществляется по завершении выполнения ПРЦ текущей команды, при этом управление передается по вектору с адресом "250". Оно может быть использовано либо для обработки ошибок обмена с дополнительными магистралями через окна (защита памяти по доступу), либо в других случаях как самостоятельное немаскируемое прерывание.



Значения адресов векторов прерывания

Источник прерывания	Адрес век- тора пре- рывания	Адрес хранения вектора те- кущего процесса
I. Зависание при передаче данных по каналу или запрещенный код	000004	(R6)
2. Резервный код	000010	(R6)
3. Сигнал WIR	000250	(R6)
4. Т-разряд	000014	(R6)
5. Авария сетевого питания - сигнал ACLO	000024	(R6)
6. Сигнал EVNT	000100	(R6)
7. Сигнал VIRQ	Считывается из ка- нала	(R6)
8. Включение питания	<del>жжж</del> 000	-
9. Зависание в режиме HALT	<del>жжж</del> 004	КСК, КРСИ
10. Сигнал HALT (или команда HALT)	<del>жжж</del> 170	КСК, КРСИ
11. Двойное зависание	<del>жжж</del> 174	КСК, КРСИ
12. Зависание при приеме адреса вектора прерывания	<del>жжж</del> 274	КСК, КРСИ

где: жжж - значения разрядов адреса вектора прерывания АВП(15:8),  
определяемое значением разрядов внешнего регистра  
SEL (15:8), т.е. АВП(15:8):= SEL (15:8).



## 8. ОСОБЕННОСТИ ВЫПОЛНЕНИЯ НЕКОТОРЫХ КОМАНД

8.1. При выполнении команд *MPL*, *DIV*, *ASH*, *ASHC*, *TST*, *TSTB* и *MTPS* обращение к операнду (в памяти) происходит в цикле "ЧТЕНИЕ".

8.2. При выполнении команд *MOV*, *CLR*, *SXT* обращение к операнду приемника происходит в цикле "ЗАПИСЬ".

8.3. Команда *HALT* вызывает переход процессора в специальный режим " *HALT*".

8.4. Использование очистки разряда разрешения прерывания (6 разряда) регистра состояния какого-либо устройства может вызвать зависание при приеме адреса вектора прерывания из канала, если при выполнении команды, очищающей 6-й разряд, возникло требование прерывания от этого внешнего устройства. Для избежания подобной ситуации рекомендуется следующая последовательность очистки 6 разряда:

*MTPS*  $\neq 200$

*CLR* @  $\neq 177564$

*MTPS*  $\neq 0$ .

8.5. Возникновение разрешенного запроса на прерывание во время выполнения команд расширенной арифметики (*MPL*, *DIV*, *ASH*, *ASHC*) не вызывает прекращение выполнения этих команд. Обработка прерывания откладывается на окончание выполнения команды.

8.6. Длительность импульса *INIT* по команде *RESET* зависит от тактовой частоты ПРЦ и равняется  $55T$  (*CLCO*). Длительность паузы после окончания импульса *INIT* равняется  $453T$  (*CLCO*).



## 9. УКАЗАНИЯ ПО ПРИМЕНЕНИЮ И МОНТАЖУ МИКРОСХЕМ Н1806ВМ2

9.1. Микросхема типа Н1806ВМ2 позволяет строить микропроцессорные вычислительные и управляющие средства широкого класса, которые могут быть совместимы по математическому обеспечению на уровне операционных систем и прикладных программ с рядом ЭВМ типа "Электроника", СМ ЭВМ.

При построении аппаратуры рекомендуется нагружать выходы микросхемы на емкость нагрузки, не превышающую 100 пФ. Если емкость нагрузки оказывается более 100 пФ, то рекомендуется для электрической "развязки" применять микросхемы усилителей-формирователей сигналов.

Система питания должна обеспечивать токи потребления для микросхемы при сохранении напряжения питания в пределах  $5В \pm 5\%$ . Для этого на печатных платах должны применяться развязывающие конденсаторы.

При отсутствии развязывающих конденсаторов из-за индуктивности шин питания типовые напряжения на выводах питания микросхемы могут достигать более 1,0 В, что совершенно недопустимо.

Для предотвращения пульсаций напряжения питания к выводу питания микросхемы рекомендуется подключать развязывающий конденсатор емкостью 0,1+1,0 мкФ.

9.2. При разработке аппаратуры на основе микросхемы Н1806ВМ2 необходимо провести точный расчет допусков на параметры питания, электрические и временные параметры входных и выходных сигналов с целью правильного сопряжения с микросхемами обрамления.

При уменьшении допусков увеличивается вероятность нарушения правильного функционирования микросхемы, что внешне проявляется как отказ микросхемы. На самом деле происходит нарушение функцио-



85

нирования микросхемы, которая имеет незначительные запасы по электрическим параметрам и режимам, и при этом, полностью соответствует требованиям ТУ. Конструировать аппаратуру целесообразно с коэффициентом запаса по всем параметрам микросхемы не менее 20%.

9.3. При проектировании цепей сигналов и напряжения питания необходимо учитывать, что мгновенные значения напряжения на любом выходе микросхемы относительно общего вывода ОВ в любой момент времени не должны выходить за пределы значений, оговоренных в ТУ.

9.4. Неиспользованные входы микросхемы необходимо подключать к источнику питания  $U$  или общему выводу  $OV$ .

9.5. При конструировании аппаратуры для повышения надежности рекомендуется обеспечивать такой тепловой режим, чтобы температура корпуса не превышала  $+70^{\circ}\text{C}$ .

9.6. Микросхемы следует устанавливать на плате с металлизированными отверстиями с зазором, который обеспечивается конструкцией выводов. Допускается смещение свободных концов выводов в горизонтальной плоскости в пределах  $\pm 0,2$  мм для совмещения с контактными площадками.

9.7. Присоединение выводов микросхемы к печатной плате в аппаратуре производится путем их распайки.

При распайке микросхем на печатную плату одножальным паяльником должны соблюдаться следующие условия:

температура жала паяльника не более  $+280^{\circ}\text{C}$ ;

время касания каждого вывода не более 3с;

интервал между пайками соседних выводов не менее 3 с;

расстояние от корпуса до края расплавленного припоя не менее 1,0 мм.

При распайке микросхем на печатную плату групповым или механизированным способом должен соблюдаться следующий режим:



температура расплавленного припоя не более  $+265^{\circ}\text{C}$ ;

время воздействия не более 3 с;

расстояние от корпуса до края расплавленного припоя не менее 1,0 мм;

интервал между повторными пайками одной микросхемы не менее 5,0 мин.

Очистку печатных плат с микросхемами от паяльных флюсов осуществляется жидкостями, не оказывающими влияния на покрытие, маркировку и материал корпуса.

Сушку печатных плат после очистки от флюса следует проводить при температуре не выше  $+60^{\circ}\text{C}$ .

После распайки микросхем на платы для защиты от влаги конструкция должны быть покрыта лаком типа УР-231 или ЭП-730.

Толщина покрытия лаком УР-231 35–55 мкм, лаком ЭП-730 75–100 мкм.

Температура сушки (полимеризации) лака должна соответствовать указанной в ТУ на них, но быть не выше допустимой температуры эксплуатации микросхем.

9.8. Оборудование, оснастка и инструмент, необходимые для работы с микросхемами (антистатические браслеты или кольца, пинцеты), не имеющие цепей питания от сети, должны подключаться к заземляющей клемме через сопротивление в  $1\text{ МОм} \pm 10\%$  посредством гибкого изолированного проводника. Резистор может быть встроен в браслет или конструктивно располагаться последовательно с браслетом (или кольцом, пинцетом). Сочленение проводника с браслетом должно быть разъемным и исключать возможность случайного разъединения.

Для снижения степени электризации относительную влажность воздуха в помещениях, предназначенных для работы с микросхемами, следует поддерживать на уровне максимально-допустимого значения,



81  
указанного в технической документации. Если высокая влажность влияет на качество микросхем, то рекомендуется применять местное увлажнение.

Для повышения проводимости диэлектрических покрытий полов, столов, а также диэлектрических частей оборудования и приспособлений, следует создавать временные или постоянные поверхностные пленки на них с удельным сопротивлением менее  $10^5$  Ом·м.

Рекомендуется применять также электропроводящие эмали, краски и лаки.

Для снижения удельного поверхностного сопротивления диэлектриков (на 3-5 порядков) рекомендуется производить поверхностное нанесение различных антистатических веществ с гигроскопическим и поверхностно-активными свойствами.

9.9. Микросхемы могут применяться в атмосфере инертных газов: гелиево-воздушной, аргоно-воздушной, аргоно-азотной.

Наружные неметаллические покрытия и маркировка микросхем устойчивы к воздействию спиртобензиновой смеси.

Микросхемы могут применяться в условиях невесомости и пониженного атмосферного давления до  $10^{-6}$  мм рт.ст. при обеспечении конструктивных мер, обеспечивающих температурные режимы.

Конструкция микросхем обеспечивает отсутствие резонансных частот в диапазоне частот до 100 Гц.

9.10. Микросхемы в упаковке предприятия-изготовителя или вмонтированные в аппаратуру допускается транспортировать любым видом транспорта на любое расстояние при условии, что механические и климатические воздействия на микросхемы не превышают допустимых. Транспортирование морским транспортом допускается проводить только в специальной упаковке. При транспортировании должна быть обеспечена защита транспортной тары с упакованными изделиями от атмосферных осадков и механических повреждений.



## 9.II. Хранение микросхем производят:

в упаковке поставщика - во всех местах хранения, кроме открытой площадки. Срок сохраняемости в неотапливаемом хранилище - 16,5 лет, под навесом - 12,5 лет; вмонтированными в аппаратуру в составе объектов или в комплекте ЗИП - во всех местах хранения. Срок сохраняемости в неотапливаемом хранилище - 16,5 лет, под навесом и на открытой площадке - 12,5 лет.

Минимальный срок сохраняемости микросхем в специальной упаковке поставщика при хранении в зонах тропического климата - 8 лет.

Минимальный срок сохраняемости при хранении в отапливаемом хранилище или в хранилище с кондиционированием воздуха, а также микросхем, вмонтированных в защищенную аппаратуру, или в защищенном комплекте ЗИП - 25 лет.

## 10. ТРЕБОВАНИЯ БЕЗОПАСНОСТИ

10.I. При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы.

Допустимая величина статического потенциала не более 100 В. При хранении и транспортировании выводы микросхемы должны быть закорочены. Закорачивающие приспособления, с которыми могут поступать микросхемы потребителю, должны сниматься с них только непосредственно перед входным контролем или выполнением других технологических операций, требующих подачи электрической нагрузки. Для снижения степени электризации и ускорения стекания зарядов необходимо применять следующие методы:



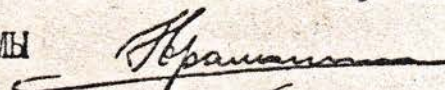


физические (заземление, регулирование влажности);

химические (нанесение специальных поверхностных пленок, применение антистатических веществ).



10.2. На рабочих местах все металлические и электропроводные неметаллические части технологического, испытательного и измерительного оборудования должны быть заземлены, независимо от применения других методов защиты от статического электричества.

10.3. При применении микросхем КМ1801ВМ2 в аппаратуре необходимо руководствоваться требованиями, установленными "Правилами техники безопасности и производственной санитарии в электронной промышленности" изд. "Энергия", г.Москва, 1973 г., раздел "К" и ГОСТ 12.2.007.0-75.

ЗАМ. ГЛАВНОГО ИНЖЕНЕРА		В.Л. ДИХУНЯН
/ НАЧАЛЬНИК ОТДЕЛА СТАНДАРТИЗАЦИИ		В.И. СМЫСЛОВ
РУКОВОДИТЕЛЬ ТЕМЫ		Ю.В. РОМАНЕЦ
ИСПОЛНИТЕЛИ		Г.И. КЕНИН
		Т.Я. БУТУЗОВА



## СИСТЕМА КОМАНД

Номер команды	Мнемоника	Команда	К о д	Время выполне- ния ко- манды в периодах тактовой частоты, Т
I	CLR (B)	Очистка	X050 DD	5T
2	COM (B)	Инвертирование	X051 DD	5T
3	INC (B)	Прибавление единицы	X052 DD	5T
4	DEC (B)	Вычитание единицы	X053 DD	5T
5	NEG (B)	Изменение знака	X054 DD	5T
6	TST (B)	Проверка	X057 DD	5T
7	ASR (B)	Арифметический сдвиг вправо	X062 DD	5T
8	ASL (B)	Арифметический сдвиг влево	X063 DD	5T
9	ROR (B)	Циклический сдвиг вправо	X060 DD	5T
10	ROL (B)	Циклический сдвиг влево	X061 DD	5T
11	ADC (B)	Прибавление переноса	X055 DD	5T
12	SBC (B)	Вычитание переноса	X056 DD	5T
13	SXT	Расширение знака	0067 DD	5T
14	SW AB	Перестановка байтов	0003 DD	5T
15	MFPS	Чтение ССП	I067 DD	5T
16	MTPS	Запись ССП	I064 SS	12T
17	MOV (B)	Пересылка	X1 SSDD	5T
18	CMP (B)	Сравнение	X2 SSDD	5T
19	ADD	Сложение	06 SSDD	5T
20	SUB	Вычитание	I6 SSDD	5T
21	BIT(B)	Проверка разрядов	X3 SSDD	5T
22	BIS(B)	Очистка разрядов	X4 SSDD	5T
23	BIS(B)	Логическое сложение	X5 SSDD	5T
24	XOR	Исключающее ИЛИ	074 RDD	5T



1	2	3	4	5
25	BR	Ветвление безусловное	000400- -000777	5T
26	BNE	Ветвление, если не равно (нулю)	001000- -001377	5T
27	BEQ	Ветвление, если равно (нулю)	001400- -001777	5T
28	BPL	Ветвление, если плюс	100000- -100377	5T
29	BMI	Ветвление, если минус	100400- -100777	5T
30	BVC	Ветвление, если нет ариф- метического переполнения	102000- -102377	5T
31	BVS	Ветвление, если арифмети- ческое переполнение	102400- -102777	5T
32	BCC, BHIS	Ветвление, если больше или равно	103000- -103377	5T
33	BCS, BLO	Ветвление, если меньше	103400- -103777	5T
34	BGE	Ветвление, если больше или равно (нулю)	002000- -002377	5T
35	BLT	Ветвление, если меньше (нуля)	002400- -002777	5T
36	BGT	Ветвление, если больше	003000- -003377	5T
37	BLE	Ветвление, если меньше или равно (нулю)	003400- -003777	5T
38	BHI	Ветвление, если больше	101000- -101377	5T
39	BLOS	Ветвление, если меньше или равно	101400- -101777	5T
40	JMP	Безусловный переход	0001DD	2IT
41	JSR	Обращение к подпрограмме	004RDD	33T
42	RTS	Возврат из подпрограммы	00020R	26T
43	MARK	Восстановление УС	0064NN	34T
44	SOB	Вычитание единицы и вет- вление	077RNN	8T



1	2	3	4	5
45	EMT	Командное прерывание для си- стемных программ	I04000- -I04377	67T
46	TRAP	Командное прерывание	I04400- -I04777	67T
47	IOT	Командное прерывание для ввода-вывода	000004	67T
48	BPT	Командное прерывание для от- ладки	000003	67T
49	RTI	Возврат из прерывания	000002	43T
50	RTT	Возврат из прерывания	000006	-
51	HALT	Останов	000000	-
52	WAIT	Ожидание	000001	-
53	RESET	Сброс внешних устройств	000005	526T
54	CLN	Очистка N	000250	I2T
55	CLZ	Очистка Z	000244	I2T
56	CLV	Очистка V	000242	I2T
57	CLC	Очистка C	000241	I2T
58	CCC	Очистка всех разрядов (N, Z, V, C)	000257	I2T
59	SEN	Установка N	000270	I2T
60	SEZ	Установка Z	000264	I2T
61	SEV	Установка V	000262	I2T
62	SEC	Установка C	000261	I2T
63	SCC	Установка всех разрядов (N, Z, V, C )	000277	I2T
64	N OP	Нет операции	000240	I2T
65	MPL	Умножение	070RSS	88T
66	DIV	Деление	071RSS	I24T
67	ASH	Сдвиг на " N " разрядов одного слова	072RSS	*



1	2	3	4	5
68	АСНС	Сдвиг на " N " разрядов двойного слова	073RSS	ЖЖ
69	ПУСК	Спецкоманда	000010- -000013	
70	ШАГ	Спецкоманда	000014- -000017	
71	ЧПТ	Спецкоманда	000020, -000030	
72	ЧЧП	Спецкоманда	000021	
73	ЧКСК	Спецкоманда	000022, 000023	
74	ЧКСП	Спецкоманда	000024- -000027	
75	ЗЧП	Спецкоманда	000031	
76	ЗКСК	Спецкоманда	000032, 000033	
77	ЗКСП	Спецкоманда	000034- -000037	

\*  $16 + 4 \cdot N$

xx  $24 + 4 \cdot N$

где N - параметр сдвига.



П Р И К А З

Москва

\_\_\_\_\_ 198 \_\_\_\_ г.

№ \_\_\_\_\_

О внедрении  
ОСТ II  
(Гр. №

В соответствии с планом отраслевой стандартизации на 1986 год (поз. 20.0905-87) разработан и утвержден в установленном порядке отраслевой стандарт "Микросхемы интегральные серии I806 (H1806BM2) Руководство по применению" ОСТ II

В целях обеспечения своевременного внедрения данного стандарта,

П Р И К А З Ы В А Ю :

1. Ввести стандарт в действие с 01.01.89 г.
2. Директорам предприятий, разрабатывающих и применяющих микросхемы интегральные серии I806BM2, H1806BM2.
  - 2.1. В срок до 30.11.88 г. издать приказ и разработать план ОТМ по внедрению стандарта на предприятии.
  - 2.2. В срок до 15.01.88 г. представить НИИТТ акт о внедрении стандарта.
  - 2.3. В срок до 01.01.90 г. представить НИИТТ расчет фактической технико-экономической эффективности от внедрения стандарта.
3. Директору НИИТТ т.Яковлеву:
  - 3.1. В 5-дневный срок после утверждения приказа представить его копию и перечень предприятий, на которых стандарт подлежит внедрению, ВНИИ "Электронстандарт" и ЦКБ "Дейтон".
  - 3.2. В срок до 30.05.88 г. передать ЦКБ "Дейтон" по акту:
    - 1) подлинник стандарта, пригодный для выполнения работ по ОСТ II I3.0001-85 и имеющий номер Госрегистрации;
    - 2) материалы, предусмотренные ГОСТ I.18-85.
  - 3.3. В срок до 01.02.89 г. представить ВНИИ "Электронстандарт" (в копии ЦКБ "Дейтон") обобщенный расчет фактической технико-экономической эффективности от внедрения стандарта на предприятиях.
  - 3.4. Обеспечить оказание методической помощи предприятиям для внедрения стандарта.



4. Директору ЦКБ "Дейтон" т.Якубовскому:

4.1. В срок до 30.08.88 г.:

1) издать стандарт и обеспечить им заинтересованные предприятия;

2) обеспечить размножение и рассылку настоящего приказа НИО "Научный центр" и предприятиям, внедряющим стандарт.

4.2. При проверке правильности применения микросхем на предприятиях-потребителях контролировать ввод в действие и соблюдение требования стандарта.

5. Для осуществления авторского надзора и своевременной проверки стандарт закрепить за НИИТТ.

6. Контроль за исполнением настоящего приказа возложить на директора ЦКБ "Дейтон" т.Якубовского.

НАЧАЛЬНИК УПРАВЛЕНИЯ

СОГЛАСОВАНО:

ГЛАВНЫЙ ИНЖЕНЕР  
НИО "НАУЧНЫЙ ЦЕНТР"

\_\_\_\_\_ 198\_\_ г.

ГЛАВНЫЙ ИНЖЕНЕР  
ЦКБ "ДЕЙТОН"

\_\_\_\_\_ 198\_\_ г.

Подготовлено:  
ГЛАВНЫЙ ИНЖЕНЕР НИИТТ

\_\_\_\_\_ 198\_\_ г.



## ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к проекту ОСТ "Микросхемы интегральные серии И1806 (И1806 ВМ2). Руководство по применению" (I редакция, рассылаемая на отзыв)

### 1. ОСНОВАНИЕ ДЛЯ РАЗРАБОТКИ СТАНДАРТА

Проект ОСТ разработан в соответствии с планом отраслевой стандартизации на 1987 год (приказ № 373 от 25.12.86 г. поз.20.0905-87 орг.п/я А-1501), техническим заданием, утвержденным орг.п/я Г-4515 от 16.12.86 г.

### 2. ЦЕЛИ И ЗАДАЧИ РАЗРАБОТКИ СТАНДАРТА

Разработка ОСТ проводится с целью обобщения данных об основных параметрах и характеристиках микросхем И1806 ВМ2, предназначенных для построения различных средств вычислительной техники.

### 3. ХАРАКТЕРИСТИКА ОБЪЕКТА СТАНДАРТИЗАЦИИ

Разработка ОСТ проводится впервые и базируется на изучении отечественной и зарубежной НТД. Микросхема И1806 ВМ2 является однокристалльным 16 разрядным микропроцессором, предназначенным для обработки цифровой информации.

В составе ЭВМ микропроцессор может использоваться для управления технологическими процессами, в контрольно-измерительной аппаратуре, в системах связи, для решения инженерно-технических и экономических задач. По своим технико-экономическим показателям соответствует современным требованиям лучших зарубежных аналогов.

### 4. НАУЧНО-ТЕХНИЧЕСКИЙ УРОВЕНЬ СТАНДАРТА

Микропроцессор выполнен по КМОП-технологии. Кристалл помещен в 64 выводной металлокерамический микрокорпус. Система счисления для чисел и команд - двоичная.

Система команд - безадресная, одноадресная, двухадресная.

Количество команд - 77.

Объем адресуемой памяти - 64 Кбайт.

Тактовая частота 0-5 МГц.

Время выполнения команды "сложение" при регистровом методе адресации на тактовой частоте 5 МГц - 1,2 мкс.



Время выполнения команды "умножение" на таковой частоте 5 мГц при регистровом методе адресации - 18 мкс.

Время выполнения команды "деление" на тактовой частоте 5 мГц при регистровом методе адресации - 25 мкс.

В стандарте приведены: функциональная схема, условно графическое обозначение микропроцессора с таблицей назначения выводов, временные диаграммы, типовые характеристики, система команд.

## 5. ТЕХНИКО-ЭКОНОМИЧЕСКАЯ ЭФФЕКТИВНОСТЬ ОТ ВНЕДРЕНИЯ СТАНДАРТА

Внедрение ОСТ позволит получить годовой экономический эффект за счет сокращения сроков разработки различных средств вычислительной техники 95,5 т.р.

## 6. ВНЕДРЕНИЕ, ВВЕДЕНИЕ СТАНДАРТА В ДЕЙСТВИЕ

Предполагаемый срок внедрения 0.01.89 г.

Срок первой проверки - 1994 г.

## 7. ВЗАИМОСВЯЗЬ С ДРУГИМИ НОРМАТИВНО- ТЕХНИЧЕСКИМИ ДОКУМЕНТАМИ

ГОСТ 1.0-85, ГОСТ 1.2-85, ГОСТ 1.5-85, ГОСТ 19480-74,  
ГОСТ 17021-75, ГОСТ 18725-83, ОСТ II 0224-85, РМ II 348.900-78.

## 8. ИСТОЧНИКИ ИНФОРМАЦИИ

Техническая литература, действующие ГОСТ, ОСТ, ТУ, ТО, отчеты по НИР и ОКР.

ЗАМ. ГЛАВНОГО ИНЖЕНЕРА

/ НАЧАЛЬНИК ОТДЕЛА СТАНДАРТИЗАЦИИ

РУКОВОДИТЕЛЬ ТЕМЫ

ИСПОЛНИТЕЛИ

В.Л. ДИХУНЯН

В.И. СМЫСЛОВ

Ю.В. РОМАНЕНЦ

Г. КЕНИГ

Т.Я. БУТУЗОВА